

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 9 月 2 7 日
Date of Application:

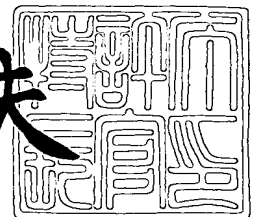
出 願 番 号 特 願 2 0 0 2 - 2 8 4 3 4 0
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 2 8 4 3 4 0]

出 願 人 シャープ株式会社
Applicant(s):

2 0 0 3 年 8 月 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 1 9 9 4

【書類名】 特許願

【整理番号】 02J03183

【提出日】 平成14年 9月27日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/28

【発明の名称】 論理回路テスト装置及び論理回路テスト方法

【請求項の数】 12

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 五十殿 宏二

【発明者】

 【住所又は居所】 広島県広島市安佐南区大塚東 3 - 4 - 1 広島市立大学内

 【氏名】 市原 英行

【特許出願人】

 【識別番号】 000005049

 【氏名又は名称】 シャープ株式会社

 【代表者名】 町田 勝彦

【代理人】

 【識別番号】 100078868

 【弁理士】

 【氏名又は名称】 河野 登夫

 【電話番号】 06-6944-4141

【選任した代理人】

 【識別番号】 100114557

 【弁理士】

 【氏名又は名称】 河野 英仁

 【電話番号】 06-6944-4141

【手数料の表示】

【予納台帳番号】 001889

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208490

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 論理回路テスト装置及び論理回路テスト方法

【特許請求の範囲】

【請求項 1】 複数の入力端子及び複数の出力端子を有する被テスト論理回路の入力端子へテスト用の入力信号を入力して出力端子からの出力信号をテストする論理回路テスト装置において、

被テスト論理回路の入力端子それぞれに印加すべき原入力信号の論理状態に基づいて前記入力端子をグループ分けすることにより被テスト論理回路の入力端子より少ない出力端子から共用入力信号を出力する共用入力信号生成手段と、

前記共用入力信号を原入力信号に変換して被テスト論理回路の各入力端子に印加すべく共用入力信号生成手段の出力端子と被テスト論理回路の入力端子との間の結線を切り替える入力結線切替手段と

を備えることを特徴とする論理回路テスト装置。

【請求項 2】 前記共用入力信号生成手段は、前記原入力信号及び原入力信号を論理反転して得られる反転入力信号の論理状態に基づいて前記入力端子をグループ分けすることにより前記共用入力信号を生成することを特徴とする請求項 1 記載の論理回路テスト装置。

【請求項 3】 前記入力結線切替手段は、前記結線を切り替えるために共用入力信号生成手段の出力端子と被テスト論理回路の入力端子との間の結線を切り替えるのに必要な入力結線切替情報を記憶した入力結線切替情報メモリを備えることを特徴とする請求項 1 又は 2 記載の論理回路テスト装置。

【請求項 4】 複数の入力端子及び複数の出力端子を有する被テスト論理回路の入力端子へテスト用の入力信号を入力して出力端子からの出力信号をテストする論理回路テスト装置において、

前記入力信号に対応して被テスト論理回路の出力端子それぞれから出力されるべき期待出力信号の論理状態に基づいて被テスト論理回路の出力端子をグループ分けすることにより被テスト論理回路の出力端子より少ない出力端子から共用期待出力信号を出力する共用期待出力信号生成手段と、

被テスト論理回路の出力端子それぞれから出力される出力信号を共用期待出力

信号と比較すべく共用期待出力信号生成手段の出力端子に対応して設けられた出力信号測定用端子と被テスト論理回路の出力端子との間の結線を切り替える出力結線切替手段と

を備えることを特徴とする論理回路テスト装置。

【請求項 5】 前記共用期待出力信号生成手段は、前記期待出力信号及び期待出力信号を論理反転して得られる反転期待出力信号の論理状態に基づいて被テスト論理回路の出力端子をグループ分けすることにより前記共用期待出力信号を生成することを特徴とする請求項 4 記載の論理回路テスト装置。

【請求項 6】 前記出力結線切替手段は、前記結線を切り替えるために出力信号測定用端子と被テスト論理回路の出力端子との間の結線を切り替えるのに必要な出力結線切替情報を記憶した出力結線切替情報メモリを備えることを特徴とする請求項 4 又は 5 記載の論理回路テスト装置。

【請求項 7】 複数の入力端子及び複数の出力端子を有する被テスト論理回路の入力端子へテスト用の入力信号を入力して出力端子からの出力信号をテストする論理回路テスト装置において、

被テスト論理回路の入力端子それぞれに印加すべき原入力信号の論理状態に基づいて前記入力端子をグループ分けすることにより被テスト論理回路の入力端子より少ない出力端子から共用入力信号を出力する共用入力信号生成手段と、

前記共用入力信号を原入力信号に変換して被テスト論理回路の各入力端子に印加すべく共用入力信号生成手段の出力端子と被テスト論理回路の入力端子との間の結線を切り替える入力結線切替手段と、

前記原入力信号に対応して被テスト論理回路の出力端子それぞれから出力されるべき期待出力信号の論理状態に基づいて被テスト論理回路の出力端子をグループ分けすることにより被テスト論理回路の出力端子より少ない出力端子から共用期待出力信号を出力する共用期待出力信号生成手段と、

被テスト論理回路の出力端子それぞれから出力される出力信号を共用期待出力信号と比較すべく共用期待出力信号生成手段の出力端子に対応して設けられた出力信号測定用端子と被テスト論理回路の出力端子との間の結線を切り替える出力結線切替手段と、

前記入力結線切替手段及び出力結線切替手段を同期させて制御する結線切替制御手段と

を備えることを特徴とする論理回路テスト装置。

【請求項 8】 複数の入力端子及び複数の出力端子を有する被テスト論理回路の入力端子へテスト用の入力信号を入力して出力端子からの出力信号をテストする論理回路テスト方法において、

被テスト論理回路の入力端子それぞれに印加すべき原入力信号を被テスト論理回路の入力端子より少ない出力端子の共用入力信号生成手段から共用入力信号として出力するために、

前記原入力信号の論理状態に基づいて前記入力端子をグループ分けし、グループ分けした前記入力端子を次の周期における原入力信号の論理状態に基づいてさらにグループ分けするステップを前記入力端子のグループの数が前記共用入力信号生成手段の出力端子の数を超えるまで逐次繰り返し、

前記グループの数が前記共用入力信号生成手段の出力端子の数を超えたとき、その直前のステップにおける前記グループそれぞれの入力端子と前記共用入力信号生成手段の出力端子とを対応させて共用入力信号を生成する

ことを特徴とする論理回路テスト方法。

【請求項 9】 前記共用入力信号生成手段は、前記原入力信号及び原入力信号を論理反転して得られる反転入力信号の論理状態に基づいて前記入力端子をグループ分けするステップを前記入力端子のグループの数が前記共用入力信号生成手段の出力端子の倍数を超えるまで繰り返し、

前記グループの数が前記共用入力信号生成手段の出力端子の倍数を超えたとき、その直前のステップにおける前記グループから等価なグループを削除して得られるグループそれぞれの入力端子と前記共用入力信号生成手段の出力端子とを対応させて共用入力信号を生成する

ことを特徴とする請求項 8 記載の論理回路テスト方法。

【請求項 10】 複数の入力端子及び複数の出力端子を有する被テスト論理回路の入力端子へテスト用の入力信号を入力して出力端子からの出力信号をテストする論理回路テスト方法において、

前記入力信号に対応して被テスト論理回路の出力端子それぞれから出力されるべき期待出力信号を被テスト論理回路の出力端子より少ない出力端子の共用期待出力信号生成手段から共用期待出力信号として出力するために、

前記期待出力信号の論理状態に基づいて被テスト論理回路の出力端子をグループ分けし、グループ分けした前記出力端子を次の周期における期待出力信号の論理状態に基づいてさらにグループ分けするステップを前記出力端子のグループの数が前記共用期待出力信号生成手段の出力端子の数を超えるまで逐次繰り返し、

前記グループの数が前記共用期待出力信号生成手段の出力端子の数を越えたとき、その直前のステップにおける前記グループそれぞれの出力端子と前記共用期待出力信号生成手段の出力端子とを対応させて共用期待出力信号を生成する

ことを特徴とする論理回路テスト方法。

【請求項 11】 前記期待出力信号生成手段は、前記期待出力信号及び期待出力信号を論理反転して得られる反転出力信号の論理状態に基づいて被テスト論理回路の出力端子をグループ分けするステップを前記出力端子のグループの数が前記共用期待出力信号生成手段の出力端子の倍数を超えるまで逐次繰り返し、

前記グループの数が前記共用期待出力信号生成手段の出力端子の倍数を超えたとき、その直前のステップにおける前記グループから等価なグループを削除して得られるグループそれぞれの出力端子と前記共用期待出力信号生成手段の出力端子とを対応させて共用期待出力信号を生成する

ことを特徴とする請求項 10 記載の論理回路テスト方法。

【請求項 12】 複数の入力端子及び複数の出力端子を有する被テスト論理回路の入力端子へテスト用の入力信号を入力して出力端子からの出力信号をテストする論理回路テスト方法において、

被テスト論理回路の入力端子それぞれに印加すべき原入力信号を被テスト論理回路の入力端子より少ない出力端子の共用入力信号生成手段から共用入力信号として出力するために、

前記原入力信号の論理状態に基づいて前記入力端子をグループ分けし、グループ分けした前記入力端子を次の周期における原入力信号の論理状態に基づいてさらにグループ分けするステップを前記入力端子のグループの数が前記共用入力信

号生成手段の出力端子の数を超えるまで逐次繰り返し、

前記グループの数が前記共用入力信号生成手段の出力端子の数を超えたとき、その直前のステップにおける前記グループそれぞれの入力端子と前記共用入力信号生成手段の出力端子とを対応させて共用入力信号を生成し、

前記原入力信号に対応して被テスト論理回路の出力端子それぞれから出力されるべき期待出力信号を被テスト論理回路の出力端子より少ない出力端子の共用期待出力信号生成手段から共用期待出力信号として出力するために、

前記期待出力信号の論理状態に基づいて被テスト論理回路の出力端子をグループ分けし、グループ分けした前記出力端子を次の周期における期待出力信号の論理状態に基づいてさらにグループ分けするステップを前記出力端子のグループの数が前記共用期待出力信号生成手段の出力端子の数を超えるまで逐次繰り返し、

前記グループの数が前記共用期待出力信号生成手段の出力端子の数を超えたとき、その直前のステップにおける前記グループそれぞれの出力端子と前記共用期待出力信号生成手段の出力端子とを対応させて共用期待出力信号を生成する

ことを特徴とする論理回路テスト方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、被テスト論理回路の入力端子より少ない出力端子からテスト用の入力信号を発生し、また被テスト論理回路の出力端子より少ない出力端子から期待出力信号を発生することにより被テスト論理回路をテストする論理回路テスト装置及び論理回路テスト方法に関する。

【0 0 0 2】

【従来の技術】

被テスト論理回路（C i r c u i t U n d e r T e s t。以下CUTともいう）をテストするためには、目的とする動作をさせるために所定の論理信号の集合により構成される入力信号（以下入力テストパターンともいう）を論理回路テスト装置（以下テストともいう）から、CUTの入力端子に入力する。CUTは入力された入力テストパターンにより所定の動作を行い、出力端子から動作結

果としての出力信号を出力する。このCUTの出力信号をCUTが正常な場合に出力される期待出力信号（以下出力テストパターンともいう）と比較することによりCUTが正常に動作しているか否かの判定を行う。

【0003】

このようにCUTのテストを行うテストにおいては、入力テストパターンをCUTの入力端子へ出力する端子数及びCUTの出力信号を出力テストパターンと比較するためにCUTの出力信号を入力する端子数は、それぞれCUTの入力端子数及び出力端子数よりも多いことが必要である。つまり、テストの端子数がCUTの対応する端子数より少ないとCUTをテストすることができない。このため、テストの端子数が少なくてもテストができるようにテストの端子数を削減してテストする方法が以下に述べるように提案されている。

【0004】

テストの入力テストパターン用の端子数を削減するために、例えばLFSR（Linear Feedback Shift Register）により構成されるランダムパターン発生器を用いてテストからの入力を削減する方法がある。この場合、発生させるテストパターンは周期性をもつ擬似ランダムパターンであるため、故障（不良）を見つけるための十分な入力状態が得られず、故障検出率の低い入力テストパターンになることが多い。また、CUTのテスト用に用意されたオリジナルな入力テストパターン（原入力テストパターン）と同じ入力テストパターンは印加できないため、原テストパターンと同等のテスト品質を確保することはできない。つまり、通常は故障検出率が低下することになる。

【0005】

テストの出力テストパターン用の端子数を削減するために、例えばMISR（Multiple Input Signature Register）により構成される圧縮回路を付加することにより端子数を削減する方法がある。この方法では、出力信号に含まれる故障情報が圧縮により見逃される虞がある。通常、 m 個の出力端子をMISRで圧縮した場合の見逃し率は $1 / (2^m)$ 程度になる。

【0006】

CUTの入力端子、出力端子の前後に設けたラッチ回路、シフトレジスタによ

り入力信号、出力信号の論理状態を維持して、少ない端子数でCUTのテストを可能とする方法がある。これらはシリアル・パラレル変換により入力端子数、出力端子数の圧縮を実現する。この場合、例えばシフトレジスタの段数をm段とすると、テストからはCUTを動作させる速度のm倍の印加速度を有する入力テストパターンが要求される。

【0007】

図19は従来の入力端子削減方法の例を示すブロック図である。入力端子を同じ論理でまとめることにより端子数の削減を行う方法である（例えば、非特許文献1参照）。2ビットのカウンタにより構成されるテストパターン発生器50からの出力（入力テストパターン）をCUT52の入力端子X1～X5に効率的に入力するために拡張結線回路51により結線を行うものである。テストパターンを意識的に増加させることにより、入力テストパターンにX（ドントケア（don't care）と呼ぶ論理0でも論理1でも可能な状態）を置くことにより共有性を高めることができる。例示する入力端子X1～X5はこのドントケア状態であることを示す。しかし、この方法ではオリジナルな入力テストパターンと同じ動作をCUT52にさせることはできないし、テストパターンの加工も必要となる。また、テストパターン発生器50及び拡張結線回路51は集積回路内部に組み込んでテストを行うためのものであり、テストに関するものではない。つまり、CUT52にあらかじめ用意されたテストパターンを使用するのではなく、上述したLFSRやカウンタ等を用いたパターン発生器50を効率的に使用するのためのものであり、CUT50の内部状態を考慮して端子数を削減するための割り振りを考えねばならず、現実的な回路では実現は困難である。

【0008】

図20は従来の入出力端子削減方法の例を示すブロック図である。このような従来例は例えば特許文献1に開示されている。IEEE1149.1により標準化されているJTAG（Joint Test Action Group）と同様のバウンダリセル60～62（双方向ドライブ／レシーブI/Oセル1～L（BIDI1～L））を用い、JTAGのアーキテクチャではシリアルに接続するバウンダリセル60～62の共通I/O線63～65をサブグループ用の1本の共通I/O線66にド

ッティング参照線 67 において結線することにより外部への端子数削減を実現している。各バウンダリセル 60～62 にはデータ入力線 68～70、受信データ線 71～73、H Z 制御線 74～76 が接続されている。この方法では、バウンダリセル 60～62 のいずれかしか選択できない。仮に同時に選択した場合でも共通 I/O 線 66 から入力された信号と同じものが共通 I/O 線 63～65 から受信データ線 71～73 へ伝播するだけであり、論理の異なる入力信号が必要な場合はテストできない。また、内部からの信号を外部へ伝播する場合は、バウンダリセル 60～62 を同時に活性化することはできないため、実質的な端子数削減にはならない。バウンダリセル 60～62 を JTAG のアーキテクチャで結線した場合は、シリアル入力より任意の状態に設定可能であるが、内部データのイン・アウトに時間が必要とされるため内部を実際のスピードに近い動作をさせる事はできない上、テストパターンがシリアル化されるため、テストパターン長が膨大になるという問題がある。

【0009】

なお、特許文献 2、特許文献 3 に開示されている技術は、テストパターン全体の量を圧縮する方法であり、テストの端子数を削減するものではない。

【0010】

【特許文献 1】

特開平 10-132902 号公報

【特許文献 2】

特開平 11-317671 号公報

【特許文献 3】

国際公開第 98/43359 号パンフレット

【非特許文献 1】

ケイ・チャクラバーティ他 (K.Chakrabarty, B.T.Murray, J.Liu and M.Zhu), ビルトインテストのためのテスト幅圧縮 (Test Width Compression for Built-In Self Testing), 「プロシーディングス・インターナショナル・テスト・コンファレンス」 (Proceedings International Test Conference), アイ・イー・イー・イー・コンピュータ・ソサイアティ (IEEE COMP U

TER SOCIETY) p. 328~p. 337, 1997

【0011】

【発明が解決しようとする課題】

しかし、従来のテスト及びテスト方法においては、ある程度の誤りを認めて出力を圧縮して端子数を削減する場合には出荷品質の低下を招くこと、テストを高速に動作させることで必要な端子数を削減する場合にはテストを数倍以上で高速動作させる必要があること、LFSR等によるテストパターンを印加することにより端子数を削減する場合には端子の共用化により端子数を削減して固定化した共通の配線では、自由度が低くなること、さらにLFSR等固有のテストパターンではオリジナルのテストパターンを忠実に再現できないこと等の問題があった。

【0012】

本発明は斯かる事情に鑑みなされたものであり、その目的とするところは、被テスト論理回路の入力端子のそれぞれに印加すべきオリジナルのテストパターン（原入力信号）の論理状態（例えば、論理0又は論理1）により被テスト論理回路の入力端子を適宜グループ分けすることにより被テスト論理回路の入力端子より少ない出力端子から原入力信号をまとめてテスト用の共用入力信号を生成して出力する共用入力信号生成手段と、共用入力信号を原入力信号に変換して被テスト論理回路の各入力端子に印加するために共用入力信号生成手段の出力端子と被テスト論理回路の入力端子との間の接続結線をグループ化の状況に応じて適宜切り替える入力結線切替手段とを備えることにより、被テスト論理回路の入力端子より少ない（共用入力信号用の）出力端子を有する論理回路テスト装置においても、圧縮による故障見逃しがなく、テストに要求される速度は被テスト論理回路と同一でよく、被テスト論理回路のテスト用に用意されたオリジナルなテストパターンを忠実に再現したテストが可能な論理回路テスト装置を提供することにある。

【0013】

また、本発明の他の目的は、入力信号（原入力信号）に対応して被テスト論理回路の出力端子それぞれから出力されるべき期待出力信号の論理状態（例えば、

論理 0 又は論理 1) により被テスト論理回路の出力端子を適宜グループ分けすることにより被テスト論理回路の出力端子より少ない出力端子から期待出力信号をまとめて出力判定用の共用期待出力信号を生成して出力する共用期待出力信号生成手段と、被テスト論理回路の出力端子それぞれから出力される出力信号を共用期待出力信号と比較するために共用期待出力信号生成手段の出力端子に対応して設けられた出力信号測定用端子（比較用出力端子）と被テスト論理回路の出力端子との間の接続結線をグループ化の状況に応じて適宜切り替える出力結線切替手段とを備えることにより、被テスト論理回路の出力端子より少ない（共用期待出力信号用の）出力端子を有する論理回路テスト装置においても、圧縮による故障見逃しがなく、テストに要求される速度は被テスト論理回路と同一でよく、被テスト論理回路のテスト用に用意されたオリジナルなテストパターンを忠実に再現したテストが可能な論理回路テスト装置を提供することにある。

【0014】

また、本発明の他の目的は、被テスト論理回路の入力端子に対応させた共用入力信号生成手段と入力結線切替手段とを備え、被テスト論理回路の出力端子に対応させた共用期待出力信号生成手段と出力結線切替手段とを備えることにより、被テスト論理回路の入力端子より少ない共用入力信号の出力端子と、被テスト論理回路の出力端子より少ない共用期待出力信号の出力端子と、を有する論理回路テスト装置においても、圧縮による故障見逃しがなく、テストに要求される速度は被テスト論理回路と同一でよく、被テスト論理回路のテスト用に用意されたオリジナルなテストパターンを忠実に再現したテストが可能な論理回路テスト装置を提供することにある。

【0015】

また、本発明の他の目的は、原入力信号の論理状態に基づいて被テスト論理回路の入力端子をグループ分けし、グループ分けした入力端子を次周期における原入力信号の論理状態に基づいてさらにグループ分けするステップを入力端子のグループ数が共用入力信号生成手段の出力端子の数を超えるまで逐次繰り返し、グループの数が共用入力信号生成手段の出力端子の数を越えたとき、その直前のステップにおけるグループそれぞれの入力端子と共用入力信号生成手段の出力端子

とを対応させて共用入力信号を生成することにより、被テスト論理回路の入力端子より少ない（共用入力信号用の）出力端子を有する論理回路テスト装置においても被テスト論理回路のテスト用に用意されたオリジナルなテストパターン（入力テストパターン）を忠実に再現したテストが可能な論理回路テスト方法を提供することにある。

【0016】

また、本発明の他の目的は、期待出力信号の論理状態に基づいて被テスト論理回路の出力端子をグループ分けし、グループ分けした出力端子を次周期における期待出力信号の論理状態に基づいてさらにグループ分けするステップを出力端子のグループの数が共用期待出力信号生成手段の出力端子の数を超えるまで逐次繰り返し、グループの数が共用期待出力信号生成手段の出力端子の数を超えたとき、その直前のステップにおけるグループそれぞれの出力端子と共用期待出力信号生成手段の出力端子とを対応させて共用期待出力信号を生成することにより、被テスト論理回路の出力端子より少ない（共用期待出力信号用の）出力端子を有する論理回路テスト装置においても被テスト論理回路のテスト用に用意されたオリジナルなテストパターン（出力テストパターン）を忠実に再現したテストが可能な論理回路テスト方法を提供することにある。

【0017】

また、本発明の他の目的は、原入力信号の論理状態に基づいて被テスト論理回路の入力端子をグループ分けし、グループそれぞれの入力端子と共用入力信号生成手段の出力端子とを対応させて共用入力信号を生成し、さらに期待出力信号の論理状態に基づいて被テスト論理回路の出力端子をグループ分けし、グループそれぞれの出力端子と共用期待出力信号生成手段の出力端子とを対応させて共用期待出力信号を生成することにより、被テスト論理回路の入力端子より少ない共用入力信号の出力端子と、被テスト論理回路の出力端子より少ない共用期待出力信号の出力端子と、を有する論理回路テスト装置においても被テスト論理回路のテスト用に用意されたオリジナルなテストパターンを忠実に再現したテストが可能な論理回路テスト方法を提供することにある。

【0018】

【課題を解決するための手段】

本発明に係る論理回路テスト装置は、複数の入力端子及び複数の出力端子を有する被テスト論理回路の入力端子へテスト用の入力信号を入力して出力端子からの出力信号をテストする論理回路テスト装置において、被テスト論理回路の入力端子それぞれに印加すべき原入力信号の論理状態に基づいて前記入力端子をグループ分けすることにより被テスト論理回路の入力端子より少ない出力端子から共用入力信号を出力する共用入力信号生成手段と、前記共用入力信号を原入力信号に変換して被テスト論理回路の各入力端子に印加すべく共用入力信号生成手段の出力端子と被テスト論理回路の入力端子との間の結線を切り替える入力結線切替手段とを備えることを特徴とする。

【0019】

本発明に係る論理回路テスト装置においては、前記共用入力信号生成手段は、前記原入力信号及び原入力信号を論理反転して得られる反転入力信号の論理状態に基づいて前記入力端子をグループ分けすることにより前記共用入力信号を生成することを特徴とする。

【0020】

本発明に係る論理回路テスト装置においては、前記入力結線切替手段は、前記結線を切り替えるために共用入力信号生成手段の出力端子と被テスト論理回路の入力端子との間の結線を切り替えるのに必要な入力結線切替情報を記憶した入力結線切替情報メモリを備えることを特徴とする。

【0021】

本発明に係る論理回路テスト装置は、複数の入力端子及び複数の出力端子を有する被テスト論理回路の入力端子へテスト用の入力信号を入力して出力端子からの出力信号をテストする論理回路テスト装置において、前記入力信号に対応して被テスト論理回路の出力端子それぞれから出力されるべき期待出力信号の論理状態に基づいて被テスト論理回路の出力端子をグループ分けすることにより被テスト論理回路の出力端子より少ない出力端子から共用期待出力信号を出力する共用期待出力信号生成手段と、被テスト論理回路の出力端子それぞれから出力される出力信号を共用期待出力信号と比較すべく共用期待出力信号生成手段の出力端子

に対応して設けられた出力信号測定用端子と被テスト論理回路の出力端子との間の結線を切り替える出力結線切替手段とを備えることを特徴とする。

【0022】

本発明に係る論理回路テスト装置においては、前記共用期待出力信号生成手段は、前記期待出力信号及び期待出力信号を論理反転して得られる反転期待出力信号の論理状態に基づいて被テスト論理回路の出力端子をグループ分けすることにより前記共用期待出力信号を生成することを特徴とする。

【0023】

本発明に係る論理回路テスト装置においては、前記出力結線切替手段は、前記結線を切り替えるために出力信号測定用端子と被テスト論理回路の出力端子との間の結線を切り替えるのに必要な出力結線切替情報を記憶した出力結線切替情報メモリを備えることを特徴とする。

【0024】

本発明に係る論理回路テスト装置は、複数の入力端子及び複数の出力端子を有する被テスト論理回路の入力端子へテスト用の入力信号を入力して出力端子からの出力信号をテストする論理回路テスト装置において、被テスト論理回路の入力端子それぞれに印加すべき原入力信号の論理状態に基づいて前記入力端子をグループ分けすることにより被テスト論理回路の入力端子より少ない出力端子から共用入力信号を出力する共用入力信号生成手段と、前記共用入力信号を原入力信号に変換して被テスト論理回路の各入力端子に印加すべく共用入力信号生成手段の出力端子と被テスト論理回路の入力端子との間の結線を切り替える入力結線切替手段と、前記原入力信号に対応して被テスト論理回路の出力端子それぞれから出力されるべき期待出力信号の論理状態に基づいて被テスト論理回路の出力端子をグループ分けすることにより被テスト論理回路の出力端子より少ない出力端子から共用期待出力信号を出力する共用期待出力信号生成手段と、被テスト論理回路の出力端子それぞれから出力される出力信号を共用期待出力信号と比較すべく共用期待出力信号生成手段の出力端子に対応して設けられた出力信号測定用端子と被テスト論理回路の出力端子との間の結線を切り替える出力結線切替手段と、前記入力結線切替手段及び出力結線切替手段を同期させて制御する結線切替制御手

段とを備えることを特徴とする。

【0025】

本発明に係る論理回路テスト方法は、複数の入力端子及び複数の出力端子を有する被テスト論理回路の入力端子へテスト用の入力信号を入力して出力端子からの出力信号をテストする論理回路テスト方法において、被テスト論理回路の入力端子それぞれに印加すべき原入力信号を被テスト論理回路の入力端子より少ない出力端子の共用入力信号生成手段から共用入力信号として出力するために、前記原入力信号の論理状態に基づいて前記入力端子をグループ分けし、グループ分けした前記入力端子を次の周期における原入力信号の論理状態に基づいてさらにグループ分けするステップを前記入力端子のグループの数が前記共用入力信号生成手段の出力端子の数を超えるまで逐次繰り返し、前記グループの数が前記共用入力信号生成手段の出力端子の数を越えたとき、その直前のステップにおける前記グループそれぞれの入力端子と前記共用入力信号生成手段の出力端子とを対応させて共用入力信号を生成することを特徴とする。

【0026】

本発明に係る論理回路テスト方法においては、前記共用入力信号生成手段は、前記原入力信号及び原入力信号を論理反転して得られる反転入力信号の論理状態に基づいて前記入力端子をグループ分けするステップを前記入力端子のグループの数が前記共用入力信号生成手段の出力端子の倍数を超えるまで繰り返し、前記グループの数が前記共用入力信号生成手段の出力端子の倍数を越えたとき、その直前のステップにおける前記グループから等価なグループを削除して得られるグループそれぞれの入力端子と前記共用入力信号生成手段の出力端子とを対応させて共用入力信号を生成することを特徴とする。

【0027】

本発明に係る論理回路テスト方法は、複数の入力端子及び複数の出力端子を有する被テスト論理回路の入力端子へテスト用の入力信号を入力して出力端子からの出力信号をテストする論理回路テスト方法において、前記入力信号に対応して被テスト論理回路の出力端子それぞれから出力されるべき期待出力信号を被テスト論理回路の出力端子より少ない出力端子の共用期待出力信号生成手段から共用

期待出力信号として出力するために、前記期待出力信号の論理状態に基づいて被テスト論理回路の出力端子をグループ分けし、グループ分けした前記出力端子を次の周期における期待出力信号の論理状態に基づいてさらにグループ分けするステップを前記出力端子のグループの数が前記共用期待出力信号生成手段の出力端子の数を超えるまで逐次繰り返し、前記グループの数が前記共用期待出力信号生成手段の出力端子の数を越えたとき、その直前のステップにおける前記グループそれぞれの出力端子と前記共用期待出力信号生成手段の出力端子とを対応させて共用期待出力信号を生成することを特徴とする。

【0028】

本発明に係る論理回路テスト方法においては、前記期待出力信号生成手段は、前記期待出力信号及び期待出力信号を論理反転して得られる反転出力信号の論理状態に基づいて被テスト論理回路の出力端子をグループ分けするステップを前記出力端子のグループの数が前記共用期待出力信号生成手段の出力端子の倍数を超えるまで逐次繰り返し、前記グループの数が前記共用期待出力信号生成手段の出力端子の倍数を超えたとき、その直前のステップにおける前記グループから等価なグループを削除して得られるグループそれぞれの出力端子と前記共用期待出力信号生成手段の出力端子とを対応させて共用期待出力信号を生成することを特徴とする。

【0029】

本発明に係る論理回路テスト方法は、複数の入力端子及び複数の出力端子を有する被テスト論理回路の入力端子へテスト用の入力信号を入力して出力端子からの出力信号をテストする論理回路テスト方法において、被テスト論理回路の入力端子それぞれに印加すべき原入力信号を被テスト論理回路の入力端子より少ない出力端子の共用入力信号生成手段から共用入力信号として出力するために、前記原入力信号の論理状態に基づいて前記入力端子をグループ分けし、グループ分けした前記入力端子を次の周期における原入力信号の論理状態に基づいてさらにグループ分けするステップを前記入力端子のグループの数が前記共用入力信号生成手段の出力端子の数を超えるまで逐次繰り返し、前記グループの数が前記共用入力信号生成手段の出力端子の数を越えたとき、その直前のステップにおける前記

グループそれぞれの入力端子と前記共用入力信号生成手段の出力端子とを対応させて共用入力信号を生成し、前記原入力信号に対応して被テスト論理回路の出力端子それぞれから出力されるべき期待出力信号を被テスト論理回路の出力端子より少ない出力端子の共用期待出力信号生成手段から共用期待出力信号として出力するために、前記期待出力信号の論理状態に基づいて被テスト論理回路の出力端子をグループ分けし、グループ分けした前記出力端子を次の周期における期待出力信号の論理状態に基づいてさらにグループ分けするステップを前記出力端子のグループの数が前記共用期待出力信号生成手段の出力端子の数を超えるまで逐次繰り返し、前記グループの数が前記共用期待出力信号生成手段の出力端子の数を超えたとき、その直前のステップにおける前記グループそれぞれの出力端子と前記共用期待出力信号生成手段の出力端子とを対応させて共用期待出力信号を生成することを特徴とする。

【0030】

本発明においては、被テスト論理回路の入力端子のそれぞれに印加すべきオリジナルのテストパターン（原入力信号）の論理状態により被テスト論理回路の入力端子を適宜グループ分けすることにより被テスト論理回路の入力端子より少ない出力端子から原入力信号をまとめてテスト用の共用入力信号を生成して出力する共用入力信号生成手段と、共用入力信号を原入力信号に変換して被テスト論理回路の各入力端子に印加するために共用入力信号生成手段の出力端子と被テスト論理回路の入力端子との間の接続結線をグループ化の状況に応じて適宜切り替える入力結線切替手段とを備えることとしたので、被テスト論理回路の入力端子より少ない（共用入力信号用の）出力端子を有する論理回路テスト装置においても、圧縮による故障見逃しがなく、テストに要求される速度は被テスト論理回路と同一でよく、被テスト論理回路のテスト用に用意されたオリジナルなテストパターンを忠実に再現したテストが可能な論理回路テスト装置が可能となる。

【0031】

本発明においては、入力信号（原入力信号）に対応して被テスト論理回路の出力端子それぞれから出力されるべき期待出力信号の論理状態により被テスト論理回路の出力端子を適宜グループ分けすることにより被テスト論理回路の出力端子

より少ない出力端子から期待出力信号をまとめて出力判定用の共用期待出力信号を生成して出力する共用期待出力信号生成手段と、被テスト論理回路の出力端子それぞれから出力される出力信号を共用期待出力信号と比較するために共用期待出力信号生成手段の出力端子に対応して設けられた出力信号測定用端子（比較用出力端子）と被テスト論理回路の出力端子との間の接続結線をグループ化の状況に応じて適宜切り替える出力結線切替手段とを備えることとしたので、被テスト論理回路の出力端子より少ない（共用期待出力信号用の）出力端子を有する論理回路テスト装置においても、圧縮による故障見逃しがなく、テストに要求される速度は被テスト論理回路と同一でよく、被テスト論理回路のテスト用に用意されたオリジナルなテストパターンを忠実に再現したテストが可能な論理回路テスト装置が可能となる。

【0032】

本発明においては、被テスト論理回路の入力端子に対応させた共用入力信号生成手段と入力結線切替手段とを備え、被テスト論理回路の出力端子に対応させた共用期待出力信号生成手段と出力結線切替手段とを備えることとしたので、被テスト論理回路の入力端子より少ない共用入力信号の出力端子と、被テスト論理回路の出力端子より少ない共用期待出力信号の出力端子とを備えた論理回路テスト装置においても、圧縮による故障見逃しがなく、テストに要求される速度は被テスト論理回路と同一でよく、被テスト論理回路のテスト用に用意されたオリジナルなテストパターンを忠実に再現したテストが可能な論理回路テスト装置が可能となる。

【0033】

本発明においては、原入力信号の論理状態に基づいて被テスト論理回路の入力端子をグループ分けし、グループ分けした入力端子を次周期における原入力信号の論理状態に基づいてさらにグループ分けするステップを入力端子のグループ数が共用入力信号生成手段の出力端子の数を超えるまで逐次繰り返し、グループの数が共用入力信号生成手段の出力端子の数を超えたとき、その直前のステップにおけるグループそれぞれの入力端子と共用入力信号生成手段の出力端子とを対応させて共用入力信号を生成することとしたので、被テスト論理回路の入力端子よ

り少ない（共用入力信号用の）出力端子を有する論理回路テスト装置においても被テスト論理回路のテスト用に用意されたオリジナルなテストパターンを忠実に再現したテストが可能な論理回路テスト方法が可能となる。

【0034】

本発明においては、期待出力信号の論理状態に基づいて被テスト論理回路の出力端子をグループ分けし、グループ分けした出力端子を次周期における期待出力信号の論理状態に基づいてさらにグループ分けするステップを出力端子のグループの数が共用期待出力信号生成手段の出力端子の数を超えるまで逐次繰り返し、グループの数が共用期待出力信号生成手段の出力端子の数を超えたとき、その直前のステップにおけるグループそれぞれの出力端子と共用期待出力信号生成手段の出力端子とを対応させて共用期待出力信号を生成することとしたので、被テスト論理回路の出力端子より少ない（共用期待出力信号用の）出力端子を有する論理回路テスト装置においても被テスト論理回路のテスト用に用意されたオリジナルなテストパターンを忠実に再現したテストが可能な論理回路テスト方法が可能となる。

【0035】

本発明においては、原入力信号の論理状態に基づいて被テスト論理回路の入力端子をグループ分けし、グループそれぞれの入力端子と共用入力信号生成手段の出力端子とを対応させて共用入力信号を生成し、さらに期待出力信号の論理状態に基づいて被テスト論理回路の出力端子をグループ分けし、グループそれぞれの出力端子と共用期待出力信号生成手段の出力端子とを対応させて共用期待出力信号を生成することとしたので、被テスト論理回路の入力端子より少ない共用入力信号の出力端子と、被テスト論理回路の出力端子より少ない共用期待出力信号の出力端子とを備えた論理回路テスト装置においても被テスト論理回路のテスト用に用意されたオリジナルなテストパターンを忠実に再現したテストが可能な論理回路テスト方法が可能となる。

【0036】

【発明の実施の形態】

以下本発明をその実施の形態を示す図面に基づいて詳述する。

＜実施の形態 1＞

図 1 は実施の形態 1 に係るテスト装置の概略を示すブロック図である。1 は論理回路テスト装置（以下テスト 1）であり、複数の入力端子 $c h 1 \sim c h 8$ 及び複数の出力端子（不図示）を有する被テスト論理回路 4（以下 C U T 4）の入力端子 $c h 1 \sim c h 8$ へテスト用の入力信号を入力して出力端子からの出力信号をテストする。テスト 1 は共用入力信号生成手段 2 と入力結線切替手段 3 とを構成として備える。共用入力信号生成手段 2 は C U T 4 の入力端子 $c h 1 \sim c h 8$ のそれぞれに印加すべき原入力信号（入力テストパターン）の論理状態（論理）に基づいて入力端子 $c h 1 \sim c h 8$ をグループ分けして出力端子 $T c h 1 \sim T c h 3$ を共用することにより入力端子 $c h 1 \sim c h 8$ （8 個の入力端子）より少ない出力端子 $T c h 1 \sim T c h 3$ （3 個の出力端子）に対応させた共用入力信号を生成し、出力端子 $T c h 1 \sim T c h 3$ から共用入力信号を出力する。共用入力信号は共用入力信号出力線 5 を介して共用入力信号生成手段 2 から入力結線切替手段 3 へ出力される。

【0037】

入力結線切替手段 3 は共用入力信号生成手段 2 から供給される入力結線切替制御信号 $S c i$ に従って共用入力信号生成手段 2 の出力端子 $T c h 1 \sim T c h 3$ と C U T 4 の入力端子 $c h 1 \sim c h 8$ との間の接続結線をグループ化の状況に応じて適宜切り替える。つまり、入力結線切替手段 3 は原入力信号から得られた共用入力信号を原入力信号に変換することにより、原入力信号入力線 6 を介して C U T 4 の入力端子 $c h 1 \sim c h 8$ それぞれへ原入力信号を入力する。したがって、C U T 4 の入力端子 $c h 1 \sim c h 8$ より少ない（共用入力信号用の）出力端子 $T c h 1 \sim T c h 3$ を有するテスト 1 においても入力結線切替手段 3 を備えることにより原入力信号を忠実に再現してテストすることができる。テスト 1（における共用入力信号生成手段 2）は等価的に C U T 4 の入力端子 $c h 1 \sim c h 8$ へ入力すべき原入力信号に対し、出力端子 $T c h 1 \sim T c h 3$ を削減できることになる。

【0038】

テスト 1 は原入力信号に対応して予め用意されている期待出力信号の値と C U

T4 の出力端子からの出力信号が合致するか否かを比較手段（不図示）において比較し、その結果により良否を判定する。なお、CUT4 の出力端子からの出力信号については、入力側と同様に端子を共用化（実施の形態3）してテストしても良いし、共用化せずにテストしても良い。

【0039】

図2は図1における原入力信号と共用入力信号との関係を示す説明図である。CUT4の入力端子ch1～ch8に対応して入力すべき原入力信号の例を周期Ts0～Ts3の期間について示す。例えば、入力端子ch1には周期Ts0では論理1、Ts1では0、Ts2では0、Ts3では1が順次入力されるべきことを示す。また、入力端子ch7には周期Ts0では論理1、Ts1では0、Ts2では0、Ts3では1が順次入力されるべきことを示す。つまり、入力端子ch1と入力端子ch7には同一の入力信号が入力されることから、共用入力信号生成手段2から出力する際に同一のグループとして共通の出力端子Tch1を共用することが可能となる。その他の端子に関しても同様にグループ分けが可能である。したがって、周期Ts0～Ts2においては、CUT4の入力端子ch1、ch7は共用入力信号生成手段2の出力端子Tch1に、入力端子ch2、ch3、ch4、ch6は出力端子Tch2に、入力端子ch5、ch8は出力端子Tch3にそれぞれグループ分けされ、グループ毎に出力端子Tch1～Tch3を共用される。

【0040】

周期Ts3においては例えば入力端子ch2、ch3は論理状態が異なることから出力端子Tch3に対応させて同一のグループを維持することはできない。つまり、この例では周期Ts0～Ts2がグループ化の一つの区分（セグメント）になり、この周期Ts0～Ts2をセグメント周期とも言う。論理状態に応じてさらに周期Ts3以降の周期を含めてグループ分けされることもある。なお、周期Ts0、Ts1、Ts2、Ts3等は原入力信号（テストパターン）の一部（セグメント）であり、全期間について同様な方法によりグループ分けを実行することによりCUT4のテストが可能なグループ分けした共用入力信号を得ることができる。

【0041】

図3は図1における入力結線切替手段の概略を示すブロック図である。入力結線切替手段3は共用入力信号生成手段2の出力端子Tch1～Tch3からの信号線である共用入力信号出力線5及びCUT4の入力端子ch1～ch8への信号線である原入力信号入力線6に接続される入力結線切替スイッチブロック7を備え、入力結線切替スイッチブロック7は入力結線切替情報メモリ8のメモリ内容により開閉制御される。入力結線切替情報メモリ8は入力結線切替制御信号Sciにより制御される。ここでは簡単のために、図2における周期Ts0～Ts2の間の結線状況を固定結線で示す。したがって、入力結線切替スイッチブロック7において、出力端子Tch1は入力端子ch1、ch7に、出力端子Tch2は入力端子ch2、ch3、ch4、ch6に、出力端子Tch3は入力端子ch5、ch8に接続され、結線されている。出力端子Tch1～Tch3と入力端子ch1～ch8との間の接続結線状況はグループ分けの状況（入力結線切替情報メモリ8のメモリ内容）に応じて適宜切り替えられる。また、周期Ts3以降の結線状況も原入力信号の論理状態に応じ別途切り替えられる。

【0042】

実際のCUT4では様々なテストを行う中で原入力信号（入力テストパターン）の最後の周期まで共通の出力端子（Tch1～Tch3）を共用できる場合は非常に少ないため、結線自体はPLD等のように再構成（結線切替）が可能なハードウェアで実現するのがより望ましい。PLD等の再構成は共用入力信号生成手段2から直接制御すれば簡単であるが、PLD等の再構成に要する時間が問題となる場合は、結線情報をあらかじめ入力結線切替情報メモリ8に記憶しておき、入力結線切替制御信号Sciに応じて、高速に結線情報を切り替えることにより端子共用化の自由度が向上し、高速化が可能となる。

【0043】

図4は図2における入力端子のグループ分けの方法を示す説明図である。原入力信号の論理状態に基づいて入力端子ch1～ch8のグループ分けを行い、出力端子Tch1～Tch3と対応させることにより、入力端子ch1～ch8に入力すべき原入力信号（入力テストパターン）を変換して、出力端子Tch1～

T c h 3 から共用入力信号として出力させる例である。各周期における原入力信号の論理状態に基づいて入力端子 c h 1 ~ c h 8 をグループ分けする方法を述べる。なお、図においては簡略化のために適宜符合を省略して表記している。まず、周期 T s 0 においては、論理状態は論理 0 と論理 1 の 2 状態であり、周期 T s 0 における論理 1 のグループをグループ G r 1 と、論理 0 のグループをグループ G r 0 と表記する。以下においてもグループの区別は論理状態を用いて同様に表記する。図 2 において示した論理状態により、グループ G r 1 には入力端子 c h 1、c h 7 がグループ分けされ、グループ G r 0 には入力端子 c h 2、c h 3、c h 4、c h 5、c h 6、c h 8 がグループ分けされる。この時点でのグループ数 n は 2 である。

【0044】

次に、周期 T s 0 においてグループ分けした入力端子 c h 1、c h 7 のグループ G r 1 と入力端子 c h 2、c h 3、c h 4、c h 5、c h 6、c h 8 のグループ G r 0 を次の周期 T s 1 における論理状態に応じてさらにグループ分けする。つまり、周期 T s 0、T s 1 の両周期にわたる論理状態に応じてグループ分けをする。周期 T s 0 における論理 1、周期 T s 1 における論理 0 のグループはグループ G r 1 0 と、周期 T s 0 における論理 1、周期 T s 1 における論理 1 のグループはグループ G r 1 1 と、周期 T s 0 における論理 0、周期 T s 1 における論理 0 のグループはグループ G r 0 0 と、周期 T s 0 における論理 0、周期 T s 1 における論理 1 のグループはグループ G r 0 1 と表記する。グループ G r 1 0 には入力端子 c h 1、c h 7 がグループ分けされ、グループ G r 1 1 には該当する入力端子は存在しないので空集合 ϕ とする。グループ G r 0 0 には入力端子 c h 2、c h 3、c h 4、c h 6 がグループ分けされ、グループ G r 0 1 には入力端子 c h 5、c h 8 がグループ分けされる。空集合 ϕ はグループとしての実態がない（対応する入力端子が存在しない）から、グループ数にはカウントしないので、この時点でのグループ数 n は 3 である。

【0045】

このようなグループ分けするステップを入力端子 c h 1 ~ c h 8 のグループ数 n が共用入力信号生成手段 2 の出力端子 T c h 1 ~ T c h 3 の数 N （共用目標端

子数 N ともいう。図4（図1）の場合は $N=3$ ）を超えるまで逐次繰り返し、グループ数 n が共用入力信号生成手段2の出力端子 $Tch1 \sim Tch3$ の数 N を超えたとき、その直前のステップにおけるグループそれぞれの入力端子と共用入力信号生成手段2の出力端子とを対応させて共用入力信号を生成する。

【0046】

周期 $Ts0 \sim Ts2$ の間にわたる論理状態による入力端子 $ch1 \sim ch8$ のグループ数 n は3であるので、さらに、周期 $Ts3$ における入力端子 $ch1 \sim ch8$ の論理状態によりグループ分けを行う。周期 $Ts0 \sim Ts3$ において、グループ $Gr1001$ には入力端子 $ch1$ 、 $ch7$ が、グループ $Gr0010$ には入力端子 $ch3$ が、グループ $Gr0011$ には入力端子 $ch2$ 、 $ch4$ 、 $ch6$ が、グループ $Gr0110$ には入力端子 $ch5$ が、グループ $Gr0111$ には入力端子 $ch8$ がそれぞれグループ分けされる。グループ $Gr1000$ は対応する入力端子が存在しないから空集合であるので、グループ数 n にはカウントしない。従って、この時点でのグループ数 n は5である。グループ数 n が共用目標端子数 N を超えたのでその直前のグループ、つまり、周期 $Ts0 \sim Ts2$ において得られた入力端子（ $ch1 \sim ch8$ ）の3グループと出力端子 $Tch1 \sim Tch3$ とを対応させて、共用入力信号を生成する。周期 $Ts0 \sim Ts2$ において得られたグループはグループ $Gr100$ 、グループ $Gr001$ 、グループ $Gr011$ であり、グループ数 n は3である。グループ $Gr100$ には入力端子 $ch1$ 、 $ch7$ が、グループ $Gr001$ には入力端子 $ch2$ 、 $ch3$ 、 $ch4$ 、 $ch6$ が、グループ $Gr011$ には入力端子 $ch5$ 、 $ch8$ が対応してグループ分けされる。グループ $Gr100$ は出力端子 $Tch1$ に、グループ $Gr001$ は出力端子 $Tch2$ に、グループ $Gr011$ は出力端子 $Tch3$ に対応する。これにより、8個の入力端子 $ch1 \sim ch8$ による原入力信号を3個の出力端子 $Tch1 \sim Tch3$ からの共用入力信号に変換でき、等価的に端子数を削減した共用入力信号を生成することができる。なお、グループ $Gr101$ 、グループ $Gr000$ 、グループ $Gr010$ は対応する入力端子が存在しないから空集合でありグループ数 n にはカウントしない。

【0047】

上述したように基本的な考え方は同じ論理となる入力端子 $ch1 \sim ch8$ を共用化していくことでテストに必要な端子数を削減するものであり、あらかじめ定められた端子数（共用目標端子数 N ）以下になるように共用化できる入力端子を見いだす方法である。通常共用化が可能な入力端子を見いだすためには、オリジナルの入力テストパターン（原入力信号）の周期 $Ts0$ （1行目）より入力端子 $ch1 \sim ch8$ について順次同じものを探して共通となる入力端子をまとめるが、このような逐次比較では膨大な比較計算が必要となる。例えば10入力端子の共有性を見いだす場合、1行目のテストパターンを想定すれば、逐次比較では45回（10個の中から2個を選ぶ組み合わせ数）必要であるが、論理0／論理1（論理が0か1か）によりグループ分けする（割り振る）だけであれば10回で分離可能であり、入力テストパターンが長いほど計算量の負担は相対的に少なくなるという利点がある。

【0048】

図5は図3における入力結線切替手段の詳細を示すブロック図である。入力結線切替スイッチブロック7は、出力端子 $Tch1 \sim Tch3$ に対応する共用入力信号出力線5と入力端子 $ch1 \sim ch8$ に対応する原入力信号入力線6とにより構成されるマトリックス（ 3×8 ）の交差するポイントに24個の切替スイッチ $7s$ を配置した構成とされる。切替スイッチ $7s$ はその両端を共用入力信号出力線5と原入力信号入力線6とに接続され、共用入力信号出力線5と原入力信号入力線6との間の接続を開閉する。アナログスイッチで構成される切替スイッチ $7s$ はスイッチ切替信号線9を介して入力結線切替情報メモリ8からメモリ内容に応じた切替信号（開閉信号）を与えられ、切替スイッチ $7s$ の開閉を適宜切り替えられる。入力結線切替情報メモリ8はマトリックスに応じたビット構成とされ、ここでは 3×8 ビット構成として各マトリックスの交差ポイントに対応する切替情報を例えば論理1、0で記憶している。メモリ切替回路10は入力結線切替制御信号 Sci に基づいて入力結線切替情報メモリ8に記憶されているメモリのアドレスを切り替えることにより、他のグループ分けに応じた切替情報を記憶している別のメモリに切り替えることができる。結線を変更する場合には、対応するメモリに切り替えることにより、切替情報を瞬時に変更でき、結線の接続を高

速で切り替えることができる。

【0049】

図6は切替スイッチの回路構成を示す回路図である。切替スイッチ7sはその両端を共用入力信号出力線5と原入力信号入力線6とに接続され、共用入力信号出力線5と原入力信号入力線6との間の接続を開閉する。切替スイッチ7sは例えばMOSトランジスタにより構成され、MOSトランジスタはゲートに入力されるラッチ回路15からの出力により制御される。ラッチ回路15は入力結線切替情報メモリ8からスイッチ切替信号線9を介して送出された切替情報の内容を保持することにより切替スイッチ7sの開閉状況を制御する。ラッチ回路15の出力Qが論理1の場合には、切替スイッチ7sは閉となり、共用入力信号出力線5と原入力信号入力線6とは接続され、例えば、対応する出力端子Tch1と入力端子ch1とは接続される。ラッチ回路15の出力Qが論理0の場合には、切替スイッチ7sは開となり、共用入力信号出力線5と原入力信号入力線6とは切断され、例えば、対応する出力端子Tch1と入力端子ch1とは接続されない。

【0050】

<実施の形態2>

図7は原入力信号及びその反転信号と共用入力信号との関係を示す説明図である。実施の形態1においては原入力信号の論理状態に基づいてCUT4の入力端子ch1～ch8をグループ分けし、共用入力信号生成手段2の出力端子Tch1～Tch3を共用するものであるが、原入力信号及び原入力信号の反転信号に基づいてCUT4の入力端子ch1～ch8をグループ分けし、共用入力信号生成手段2の出力端子Tch1～Tch3を共用することもできる。ここでは、原入力信号が図2と同一の場合について、原入力信号の反転信号を含めてグループ分けをした結果を示す。周期Ts0～Ts2においては、CUT4の入力端子ch1、ch7における原入力信号は論理100である。同様に入力端子ch5、ch8における原入力信号は論理011であるから、入力端子ch5、ch8の原入力信号の反転信号は論理100となる。つまり、反転信号を考慮すると入力端子ch1、ch7に加えて入力端子ch5、ch8も同一のグループとでき、

共通の出力端子 $Tch1$ を共用することができる。入力端子 $ch2$ 、 $ch3$ 、 $ch4$ 、 $ch6$ における原入力信号は論理 001 であるから、入力端子 $ch2$ 、 $ch3$ 、 $ch4$ 、 $ch6$ は同一のグループとして出力端子 $Tch2$ を共用することができる。なお、図 2 の場合に比べて共用化する出力端子は出力端子 $Tch1$ 、 $Tch2$ の 2 個で良く、周期 $Ts0 \sim Ts2$ においては、出力端子 $Tch3$ は利用する必要がない。図 2 の場合に比べてさらに少ない端子数での共用化が可能となる。つまり、反転した論理状態が合致する場合もグループ化が可能となることから、端子共用の自由度が 2 倍となりさらに端子削減効果を得ることが可能となる。

【0051】

図 8 は図 7 における入力端子のグループ分けの方法を示す説明図である。基本的な方法は実施の形態 1 (図 4) における方法と同様であり、重複する部分の説明は適宜省略する。なお、図においては簡略化のために適宜符合を省略して表記している。原入力信号及びその反転信号の論理状態に基づいて入力端子 $ch1 \sim ch8$ 及び反転信号に対応させた想定の入力端子 (反転時入力端子) $CH1 \sim CH8$ (ch の反転状態を CH として表記する) についてグループ分けを行い、出力端子 $Tch1 \sim Tch3$ と対応させることにより、入力端子 $ch1 \sim ch8$ に入力すべき原入力信号 (入力テストパターン) を変換して、出力端子 $Tch1 \sim Tch3$ から共用入力信号として出力させるものである。つまり、反転時入力端子 $CH1 \sim CH8$ についてもグループ分けする際に最初の集合に含めておく。なお、この際の共用目標端子数 N は出力端子 ($Tch1 \sim Tch3$) の数の 2 倍に設定する。

【0052】

周期 $Ts0$ においては、論理状態は論理 0 と論理 1 の 2 状態であり、周期 $Ts0$ における論理 1 のグループをグループ $Gr1$ と、論理 0 のグループをグループ $Gr0$ と表記する。グループ $Gr1$ には入力端子 $ch1$ 、 $ch7$ 、反転時入力端子 $CH2$ 、 $CH3$ 、 $CH4$ 、 $CH5$ 、 $CH6$ 、 $CH8$ がグループ分けされ、グループ $Gr0$ には入力端子 $ch2$ 、 $ch3$ 、 $ch4$ 、 $ch5$ 、 $ch6$ 、 $ch8$ 、反転時入力端子 $CH1$ 、 $CH7$ がグループ分けされる。この時点でのグループ数 n

は2である。

【0053】

上述のグループを実施の形態1と同様にさらにグループ分けする。このようなグループ分けするステップを入力端子 $ch1 \sim ch8$ 及び反転時入力端子 $CH1 \sim CH8$ のグループ数 n が共用入力信号生成手段2の出力端子($Tch1 \sim Tch3$)の数の2倍(共用目標端子数 N ともいう。ここでは $N=6$)を超えるまで逐次繰り返し、グループ数 n が共用入力信号生成手段2の出力端子($Tch1 \sim Tch3$)の数の2倍を超えたとき、その直前のステップにおけるグループそれぞれの入力端子及び反転時入力端子と共用入力信号生成手段2の出力端子とを対応させて共用入力信号を生成する。

【0054】

周期 $Ts0 \sim Ts2$ の間にわたる論理状態による入力端子 $ch1 \sim ch8$ 及び反転時入力端子 $CH1 \sim CH8$ のグループ数 n は4であるので、さらに、周期 $Ts3$ における入力端子 $ch1 \sim ch8$ 及び反転時入力端子 $CH1 \sim CH8$ の論理状態によりグループ分けを行う。周期 $Ts0 \sim Ts3$ において、グループ $Gr1001$ には入力端子 $ch1$ 、 $ch7$ 、反転時入力端子 $CH5$ が、グループ $Gr1000$ には反転時入力端子 $CH8$ が、グループ $Gr1101$ には反転時入力端子 $CH3$ が、グループ $Gr1100$ には反転時入力端子 $CH2$ 、 $CH4$ 、 $CH6$ が、グループ $Gr0011$ には入力端子 $ch2$ 、 $ch4'$ 、 $ch6$ が、グループ $Gr0010$ には入力端子 $ch3$ が、グループ $Gr0110$ には入力端子 $ch5$ 、反転時入力端子 $CH1$ 、 $CH7$ が、グループ $Gr0111$ には入力端子 $ch8$ がそれぞれグループ分けされる。この時点でのグループ数 n は8である。グループ数 n が共用目標端子数 N ($N=6$)を超えたのでその直前のグループ、つまり、周期 $Ts0 \sim Ts2$ において得られた入力端子($ch1 \sim ch8$)、反転時入力端子($CH1 \sim CH8$)の4グループと出力端子 $Tch1 \sim Tch3$ とを対応させて、共用入力信号を生成する。なお、4グループのままでは、出力端子($Tch1 \sim Tch3$)数3と対応しないが、反転信号を含む4グループには等価なグループが含まれるので、次に述べるように実質的には2グループにでき、対応付けができる。

【0055】

周期 $T_{s0} \sim T_{s2}$ において得られたグループは、グループ $Gr100$ 、グループ $Gr110$ 、グループ $Gr001$ 、グループ $Gr011$ であり、グループ数 n は 4 である。グループ $Gr100$ には反転時入力端子 $ch1$ 、 $ch7$ 、反転時入力端子 $CH5$ 、 $CH8$ が、グループ $Gr110$ には反転時入力端子 $CH2$ 、 $CH3$ 、 $CH4$ 、 $CH6$ が、グループ $Gr001$ には入力端子 $ch2$ 、 $ch3$ 、 $ch4$ 、 $ch6$ が、グループ $Gr011$ には入力端子 $ch5$ 、 $ch8$ 、反転時入力端子 $CH1$ 、 $CH7$ が対応してグループ分けされる。グループ分けに際して反転信号を集合に含めた結果、反転信号を含むグループができることになり、論理が反転した等価関係にあるグループが存在することになる。ここでは、 $Gr100$ とグループ $Gr011$ とは単に論理が反転しているのみで等価関係にあり、またグループ $Gr110$ とグループ $Gr001$ とも同様に等価関係にある。この等価関係にあるグループの一方は最終のグループからは削除することにより、グループ $Gr100$ は出力端子 $Tch1$ に、グループ $Gr001$ は出力端子 $Tch2$ に対応させることができる。これにより、8 個の入力端子 $ch1 \sim ch8$ による原入力信号及びその反転信号を 3 個の出力端子 $Tch1 \sim Tch3$ の内の 2 個の出力端子 $Tch1$ 、 $Tch2$ からの共用入力信号に変換でき、等価的に端子数を削減した共用入力信号を生成することができる。

【0056】

上述したとおり、反転信号を含む実施の形態 2（図 7、図 8）の場合は、実施の形態 1（図 2、図 4）の場合に比べてさらに端子数の削減が期待できる。例えば、図 7（図 8）の例では入力端子 $ch5$ 、 $ch8$ はその反転信号を考慮した反転時入力端子 $CH5$ 、 $CH8$ のグループを選択することにより入力端子 $ch1$ 、 $ch7$ と同一グループにまとめることが可能となり、共用入力信号生成手段 2 の出力端子を出力端子 $Tch1$ 、 $Tch2$ の 2 個に削減できており、実施の形態 1 の場合の出力端子 $Tch1 \sim Tch3$ の 3 個に比べさらに端子数を削減できている。

【0057】

計算および処理量を少なくするためには以下の方法もある。図 8 においては最

初のグループ分けを論理 0 と論理 1 の場合の両方を明示したが、反転信号を含む場合、理論的には最初のグループ分けは論理 0 または論理 1 のどちらかで良い。最初のグループ分けでは、論理値が反対のものは必ず違うグループに入るため、実際の計算では最初の分割は 0 または 1 の場合だけで実施することで最終の等価なグループ処理も不要になる。但しこの場合は、目標とする共用目標端子数（グループ数）N の値は 2 倍する必要はない。

【0058】

図 9 は図 7 に対応する入力結線切替手段の詳細を示すブロック図である。基本的には実施の形態 1（図 5）と同様であり、重複する部分の説明は適宜省略する。共用入力信号を出力する共用入力信号出力線 5 から共用入力信号を反転させるインバータ 16 を介して反転時共用入力信号出力線 5 R を分岐させ、共用入力信号出力線 5 又は反転時共用入力信号出力線 5 R のいずれかと原入力信号入力線 6 との結線を可能とする。例えば、出力端子 T c h 1 に対応するグループが、原入力信号の論理状態に基づいてグループ分けされた入力端子（c h 1 ～ c h 8）に加え、原入力信号の反転信号に基づいてグループ分けされた反転時入力端子（C H 1 ～ C H 8）を含むグループである場合には、原入力信号の論理状態に基づいてグループ分けされた入力端子（c h 1 ～ c h 8）は共用入力信号出力線 5 を介して原入力信号入力線 6 と結線され、原入力信号の反転信号に基づく反転時入力端子（C H 1 ～ C H 8）は反転時共用入力信号出力線 5 R を介して原入力信号入力線 6 と結線される構成とすることにより反転信号を用いることを可能としている。なお、入力端子（c h 1 ～ c h 8）は反転時共用入力信号出力線 5 R を介して原入力信号入力線 6 と結線され、反転時入力端子（C H 1 ～ C H 8）は共用入力信号出力線 5 を介して原入力信号入力線 6 と結線されようにすることも可能である。

【0059】

切替スイッチ 7 s についても同様に共用入力信号出力線 5 及び反転時共用入力信号出力線 5 R と原入力信号入力線 6 との結線を制御する 2 ビットの切替信号がスイッチ切替信号線 9 を介して入力結線切替情報メモリ 8 から与えられ、開閉を適宜切り替えられる。入力結線切替情報メモリ 8 は図 5 の場合に加え、さらに共

用入力信号出力線 5 及び反転時共用入力信号出力線 5 R と原入力信号入力線 6 との結線を制御する 2 ビットの切替情報を記憶するために $3 \times 8 \times 2$ ビットが基本構成となる。

【0060】

図 10 は図 9 における切替スイッチの回路構成を示す回路図である。基本的には実施の形態 1 (図 6) と同様であり、重複する部分の説明は適宜省略する。切替スイッチ 7 s はさらに切替スイッチ 7 s a と切替スイッチ 7 s b とにより構成され、いずれも MOS トランジスタのアナログスイッチで構成される。したがってアナログスイッチは 48 個配置される。切替スイッチ 7 s a は共用入力信号出力線 5 と原入力信号入力線 6 との結線を開閉する。切替スイッチ 7 s b は反転時共用入力信号出力線 5 R と原入力信号入力線 6 との結線を開閉する。スイッチ切替信号線 9 はさらにラッチ信号線 9 a とセクタ信号線 9 b とにより構成される。ラッチ信号線 9 a は切替情報をラッチ回路 15 に入力し、セクタ信号線 9 b はセクタ 17 に切替スイッチ 7 s a、切替スイッチ 7 s b のセクタ情報を入力することにより切替スイッチ 7 s a、切替スイッチ 7 s b の開閉を制御する。

【0061】

なお、実施の形態 2 においては、入力側における論理反転を例に述べたが、実施の形態 3 の場合のような出力側における端子共用化の場合に論理反転を適用しても同様な効果が得られる。

【0062】

<実施の形態 3>

図 11 は実施の形態 3 に係るテスト装置の概略を示すブロック図である。21 は論理回路テスト装置 (以下テスト 21) であり、複数の入力端子 (不図示) 及び複数の出力端子 c h 9 ~ c h 16 を有する被テスト論理回路 24 (以下 CUT 24) の入力端子へテスト用の入力信号を入力して出力端子 c h 9 ~ c h 16 からの出力信号をテストする。テスト 21 は共用期待出力信号生成手段 22、出力結線切替手段 23、比較手段 27 を構成として備える。共用期待出力信号生成手段 22 は CUT 4 の出力端子 c h 9 ~ c h 16 のそれぞれから出力されるべき期待出力信号 (出力テストパターン) の論理状態 (論理) に基づいて出力端子 c h

9～ch16をグループ分けして共用期待出力信号生成手段22の出力端子Tch4～Tch6を共用することによりCUT4の出力端子ch9～ch16（8個の出力端子）より少ない出力端子Tch4～Tch6（3個の出力端子）に対応させた共用期待出力信号を生成し、出力端子Tch4～Tch6から共用期待出力信号を出力する。共用期待出力信号は共用期待出力信号出力線25を介して比較手段27に入力される。したがって、CUT24の出力端子ch9～ch16より少ない（共用期待出力信号用の）出力端子Tch4～Tch6を有するテスト21においても出力結線切替手段23を備えることにより期待出力信号を忠実に再現してテストすることができる。

【0063】

出力結線切替手段23は共用期待出力信号生成手段22から供給される出力結線切替制御信号Scrに従って、共用期待出力信号生成手段22の出力端子Tch4～Tch6に対応する出力信号測定用端子でもある出力信号測定用信号線28とCUT4の出力端子ch9～ch16からの出力信号出力線26との間の接続結線をグループ化の状況に応じて適宜切り替える。これにより、出力端子ch9～ch16からの出力信号は共用期待出力信号と比較可能な共用出力信号として出力信号測定用端子（出力信号測定用信号線28）から出力され、出力信号測定用信号線28を介して比較手段27に入力される。

【0064】

比較手段27は共用期待出力信号と共用出力信号とを比較して、CUT24の良否を判定（テスト）する。つまり、テスト21は原入力信号に対応して予め用意された期待出力信号の値とCUT24の出力端子ch9～ch16からの出力信号が合致するか否か（所定範囲内か否か）を比較手段27において比較し、その結果により良否を判定する。なお、CUT24の入力端子へ入力する原入力信号については、出力側と同様に端子を共用化（実施の形態1）してテストしても良いし、共用化せずにテストしても良い。

【0065】

図12は図11における期待出力信号と共用期待出力信号との関係を示す説明図である。基本的な態様は実施の形態1（図2）の場合と同様である。論理CU

T24の出力端子ch9～ch16を共用化するもの（つまり、出力端子に関するもの）であることを示すために論理状態を論理H、論理Lで示す。周期のTs0～Ts2においては、CUT24の出力端子ch9、ch10、ch12は共用期待出力信号生成手段22の出力端子Tch4に、出力端子ch11、ch14は出力端子Tch5に、入力端子ch13、ch15、ch16は出力端子Tch6にそれぞれグループ分けされ、グループ毎に出力端子Tch4～Tch6を共用される。

【0066】

図13は図11における出力結線切替手段の概略を示すブロック図である。基本的な態様は実施の形態1（図3）と同様である。出力結線切替手段23は共用期待出力信号生成手段22の出力端子Tch4～Tch6に対応する出力信号測定用信号線28及びCUT24の出力端子ch9～ch16からの出力信号出力線26に接続される出力結線切替スイッチブロック29を備え、出力結線切替スイッチブロック29は出力結線切替情報メモリ30のメモリ内容により開閉制御される。出力結線切替情報メモリ30は出力結線切替制御信号Scrにより制御される。ここでは簡単のために、図12における周期Ts0～Ts2の間の結線状況を固定結線で示す。なお、説明を簡単にするため、同じ論理値の端子を単純に結線している例で説明しているが、実際の回路ではアナログ加算器等で実現する。CUT24の出力端子ch9～ch16からの出力信号については、期待値1か0のあるべき判定レベルの許容値以内に収まっているか否かでHもしくはLとするからである。

【0067】

図14は図13における出力結線切替手段の詳細を示すブロック図である。基本的な態様は実施の形態1（図5）の場合と同様である。出力結線切替スイッチブロック29は、8本の出力信号出力線26と3本の出力信号測定用信号線28との間の接続を制御するためのスイッチ回路部33を備える。スイッチ回路部33は、出力信号測定用信号線28のそれぞれに対応して設けられ、出力信号出力線26を入力側とし、出力信号測定用信号線28を出力側としている。スイッチ回路部33は出力信号測定用信号線28の延長線上に配置され、出力信号出力線

2 6 と交差する配置により、マトリックスを構成している。スイッチ回路部 3 3 はスイッチ切替信号線 3 1 を介して出力結線切替情報メモリ 3 0 からメモリ内容に応じた切替信号（開閉信号）を与えられ、開閉を適宜切り替えられる。出力結線切替情報メモリ 3 0 の構成は入力結線切替情報メモリ 8 の場合と同様であり、詳細説明は省略する。スイッチ回路部 3 3 における開閉に伴い出力信号出力線 2 6 と出力信号測定用信号線 2 8 との間の接続が開閉される。メモリ切替回路 3 2 は出力結線切替制御信号 S c r に基づいて出力結線切替情報メモリ 3 0 に記憶されているメモリのアドレスを切り替えることにより、他のグループ分けに応じた切替情報を記憶している別のメモリに切り替えることができる。結線を変更する場合には、対応するメモリに切り替えることにより、切替情報を瞬時に変更でき、結線の接続を高速で切り替えることができる。

【 0 0 6 8 】

図 1 5 はスイッチ回路部の回路構成を示す回路図である。基本的な態様は実施の形態 1（図 6）と同様である。スイッチ回路部 3 3 は、各出力信号出力線 2 6 に対応して切替スイッチ 2 9 s を配置している。切替スイッチ 2 9 s はアナログスイッチ（例えば MOS トランジスタ）により構成され、MOS トランジスタはゲート電極に入力されるラッチ回路 3 4 からの出力により制御される。ラッチ回路 3 4 は出力結線切替情報メモリ 3 0 からスイッチ切替信号線 3 1 を介して送出された切替情報の内容を保持することにより切替スイッチ 2 9 s の開閉状況を制御する。つまり基本動作は図 6 の場合と同様である。切替スイッチ 2 9 s の一方の端子は出力信号出力線 2 6 に接続され、他方の端子は AND 回路 3 5 及び OR 回路 3 6 に接続される。AND 回路 3 5 及び OR 回路 3 6 の出力はそれぞれトランジスタ 3 7 のゲート電極及びトランジスタ 3 8 のゲート電極に接続されている。トランジスタ 3 7 は n チャンネル MOS トランジスタで構成され、ソース電極は接地され、ドレイン電極はトランジスタ 3 8 のドレイン電極に接続される。トランジスタ 3 8 は p チャンネル MOS トランジスタで構成され、ソース電極は電源 V s に接続される。トランジスタ 3 7 及びトランジスタ 3 8 のドレイン電極は出力信号測定用信号線 2 8 に接続される。

【 0 0 6 9 】

CUT 24 の出力端子 c h 9 ~ c h 16 からの出力信号を判定する場合、論理的に判定するためには結線された出力信号測定用信号線 28 においては、出力端子 c h 9 ~ c h 16 からの出力信号がすべて論理 L であれば L を、すべて論理 H であれば H を出力する必要がある。一方、論理 L と論理 H が混在した場合 (CUT 24 が不良の場合) については、L と H しか出力されない場合はアナログ加算器であれば判定レベルを設定することにより L 出力と H 出力が混在 (すなわち不良品) した場合も判定可能であるが、論理回路で単純に結線した場合は判定できない。

【0070】

スイッチ回路部 33 は、A L L " H " が CUT 24 から出力された場合、出力信号測定用信号線 28 の出力信号は L に、A L L " L " が CUT 24 から出力された場合、出力信号測定用信号線 28 の出力信号は H に、それ以外 (" H " と " L " が混在した場合) はハイ・インピーダンス出力となる回路になっている。すなわち、A L L " L " の場合には、AND 回路 35 の出力は L となりトランジスタ 37 はオフ、OR 回路 36 の出力は L となりトランジスタ 38 はオンとなるから、出力信号測定用信号線 28 からは H が出力される。同様に A L L " H " の場合は OR 回路 36 の出力は H となりトランジスタ 38 はオフ、AND 回路 35 の出力は H となりトランジスタ 37 はオンとなるから、出力信号測定用信号線 28 からは L が出力される。それ以外では OR 回路 36 の出力は H、AND 回路 35 の出力は L のためトランジスタ 37、トランジスタ 38 ともオフとなり出力信号測定用信号線 28 はハイ・インピーダンス出力となる。

【0071】

<実施の形態 4>

実施の形態 1 の論理回路テスト装置 1 及び実施の形態 3 の論理回路テスト装置 21 を同一の論理回路テスト装置とすることにより、より効果的な論理回路テスト装置とすることが可能となる。なお、この場合には入力結線切替手段 3 及び出力結線切替手段 23 を同期させて制御する結線切替制御手段 (不図示) を備える論理回路テスト装置とする。結線切替制御手段は入力結線切替制御信号 S c i、出力結線切替制御信号 S c r を同期して制御する構成とする。さらに、実施の形

態 2 の論理反転信号を用いて端子のグループ分けを行うこととしても良い。

【0072】

<実施の形態 5>

図 16、図 17 は共用信号作成方法を示すフローチャートである。ここで共用信号とは、実施の形態 1 における共用入力信号、実施の形態 3 における共用期待出力信号を含めた概念である。つまり、被テスト論理回路（4、24）の入力端子、出力端子いずれに対しても同様に適用可能な概念として用いる。このような共用信号を用いる論理回路テスト装置（1、21）とすることにより、被テスト論理回路（4、24）の入力端子、出力端子より少ない端子数の論理回路テスト装置を用いてテストをすることが可能となる。入力側でも、出力側でも同様に処理できることから、入力端子、出力端子、入力信号、出力信号の区別はせず、特に必要な場合の他は単に端子、信号として表現する。具体的な内容としては実施の形態 1（図 4）等が対応する。

【0073】

パラメータを初期化する（S1）。例えば、周期 j （ $=0$ ）、最終テスト周期 L 、グループ数 n （ $=0$ ）、共用目標端子数 N 、被テスト論理回路のテスト用最大端子数 P 、原信号 $A_{i,j}$ 等を設定する。原信号 $A_{i,j}$ とは端子削減前のオリジナルな信号である。周期 j はセグメント周期（周期 T_s ）の集合ともいえ、テストの最初から最後まで全周期を示し、 $0 \leq j < L$ の関係を満たす。周期 T_s は端子を共用化して共用目標端子数 N 以下にまとめるための周期で、この周期において端子を削減された信号のブロック（セグメント）を得る。信号 $A_{i,j}$ における i は端子の番号を示し、 $0 \leq i < P$ の関係を満たす。

【0074】

周期 T_s を初期化する（S2）。周期 T_{s0} からスタートすることを示す。周期 j における原信号 $A_{i,j}$ を読み込む（S3）。原信号 $A_{i,j}$ を論理状態に応じてグループ分けする（S4）。論理 1（論理 H）の場合（ $A_{i,j} = 0$ ）及び論理 0（論理 L）の場合（ $A_{i,j} = 1$ ）に分けられる。グループ分けをする毎に周期 j 、周期 T_s をインクリメントする（S5）。 j は $j+1$ に、 T_s は T_s+1 に置き換えられる。

【0075】

グループ数 n は共用目標端子数 N を超えたか否かを判断する (S6)。YES の場合には代入されたグループ数 n (保存されているひとつ前のグループ数 n) に対応するメンバ情報 (各グループに属する端子番号)、周期 T_s 値を記録する (S7)。この際のグループ分けされ端子が共用化された集合をセグメントと呼ぶ。NO の場合にはグループ数 n を代入して (グループ数 n を記録して) (S8)、ステップ S3 へ戻り、次の周期でのグループ分けを繰り返す。

【0076】

周期 j が最大テスト周期 L を超えたか否かを判断する (S9)。NO の場合にはステップ S2 へ戻る。YES の場合には共用情報を作成する (S10)。つまり、記録されたメンバ情報、周期 T_s の値から各セグメントにおける端子共用情報を作成する。次に論理反転を用いてグループ分けした場合の等価グループを削除する (S11)。なお、論理反転を用いてグループ分けする場合の目標の設定等の処理については、実施の形態 2 に述べたとおりである。共用情報に基づいて原信号を共用信号に変換する (S12)。原信号とは、例えば実施の形態 1 の原入力信号、実施の形態 3 の期待出力信号である。

【0077】

図 18 は共用信号作成時のグループ分けの状況を示す模式図である。原信号 A_i , j をその論理状態 (論理 1、論理 0) をグループ分けする際の模式図である。実施の形態 1 (図 4)、実施の形態 2 (図 8) で述べた方法を一般化して表したものである。 i は端子 (番号) であり、 $0 \leq i < P$ の関係を有する。周期 j はテストパターン全体にわたる周期を示すもので、全周期 $j = L$ であるものとする。周期 T_{s0} 前は周期 T_{s0} における原信号 A_i , j をグループ分けする前の状態を示す。この状態では原信号 A_i , j は $j = T_{s0}$ であるから、 A_i , T_{s0} として示されている。グループ数 n はグループ分けする前であるから $n = 1$ であり、論理 0 と論理 1 とが混在した状態である。周期 $T_{s0} \sim$ 周期 T_{sk} は原端子数 P の端子を共用端子数 N のグループに分けることが可能な周期 (セグメント周期) を示す。原信号の状況によっては次の周期 j ($k \rightarrow k+1$: 周期 T_{sk+1}) 以降においてもセグメント周期 T_s が維持され、セグメント周期 T_s は周期 T

$s_0 \sim$ 周期 T_{s_h} のように変動することもある。

【0078】

周期 T_{s_0} において原信号 A_i, j は論理 0 のグループ ($A_i, T_{s_0} = 0$) と論理 1 のグループ ($A_i, T_{s_0} = 1$) にグループ分けされ、グループ数 n は 2 となる。周期 T_{s_1} においては、前 (周期 T_{s_0}) のグループをさらに周期 T_{s_1} における原信号 A_i, T_{s_1} の論理状態によりグループ分けし、グループ ($A_i, T_{s_0} = 0 / A_i, T_{s_1} = 0$)、グループ ($A_i, T_{s_0} = 0 / A_i, T_{s_1} = 1$)、グループ ($A_i, T_{s_0} = 1 / A_i, T_{s_1} = 0$)、グループ ($A_i, T_{s_0} = 1 / A_i, T_{s_1} = 1$) の 4 グループに分けられる。グループ数 n が共用端子数 N を超えた周期 T_{s_k} の前の周期 $T_{s_{k-1}}$ のグループの端子状況に応じて端子の共用化が行われる。 T_{s_k} 以降においても T_{s_0} 、 T_{s_1} 、 \dots と繰り返して全周期 $j = L$ についてグループ分けが行われる。

【0079】

【発明の効果】

以上詳述したように、本発明によれば、被テスト論理回路のテストにおいて被テスト論理回路の入力端子数より少ない出力端子から入力テストパターン (原入力信号) と等価な共用入力信号を出力でき、また被テスト論理回路の出力端子数より少ない出力端子から出力テストパターン (期待出力信号) と等価な共用期待出力信号を出力でき、端子数の少ない論理回路テスト装置においてもオリジナルなテストパターンと同等なテストが可能となる。

【0080】

また、本発明によれば、被テスト論理回路のテストにおいて被テスト論理回路の端子数より少ない端子数の論理回路テスト装置を用いた場合においてもオリジナルなテストパターンと同等なテストができる論理回路テスト方法が可能となる。

【図面の簡単な説明】

【図 1】

実施の形態 1 に係るテスト装置の概略を示すブロック図である。

【図 2】

図 1 における原入力信号と共用入力信号との関係を示す説明図である。

【図 3】

図 1 における入力結線切替手段の概略を示すブロック図である。

【図 4】

図 2 における入力端子のグループ分けの方法を示す説明図である。

【図 5】

図 3 における入力結線切替手段の詳細を示すブロック図である。

【図 6】

切替スイッチの回路構成を示す回路図である。

【図 7】

原入力信号及びその反転信号と共用入力信号との関係を示す説明図である。

【図 8】

図 7 における入力端子のグループ分けの方法を示す説明図である。

【図 9】

図 7 に対応する入力結線切替手段の詳細を示すブロック図である。

【図 10】

図 9 における切替スイッチの回路構成を示す回路図である。

【図 11】

実施の形態 3 に係るテスト装置の概略を示すブロック図である。

【図 12】

図 11 における期待出力信号と共用期待出力信号との関係を示す説明図である。

【図 13】

図 11 における出力結線切替手段の概略を示すブロック図である。

【図 14】

図 13 における出力結線切替手段の詳細を示すブロック図である。

【図 15】

スイッチ回路部の回路構成を示す回路図である。

【図 16】

共用信号作成方法を示すフローチャートである。

【図 1 7】

共用信号作成方法を示すフローチャートである。

【図 1 8】

共用信号作成時のグループ分けの状況を示す模式図である。

【図 1 9】

従来の入力端子削減方法の例を示すブロック図である。

【図 2 0】

従来の入出力端子削減方法の例を示すブロック図である。

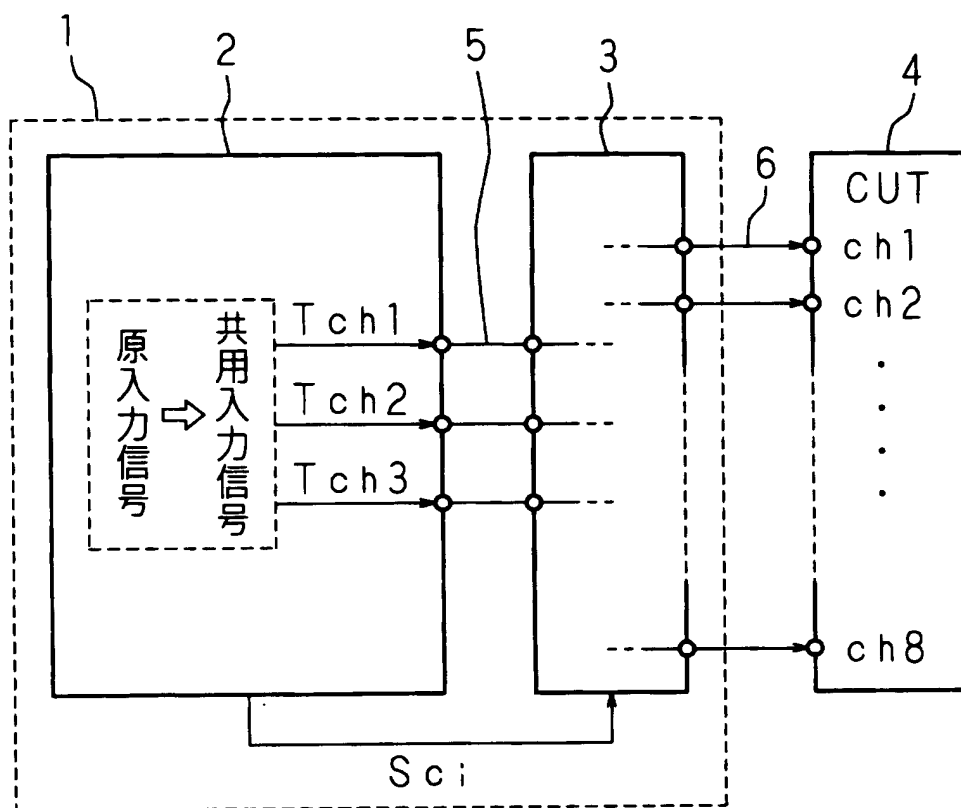
【符号の説明】

- 1 論理回路テスト装置（テスト）
- 2 共用入力信号生成手段
- 3 入力結線切替手段
- 4 被テスト論理回路（CUT）
- 5 共用入力信号出力線
- 6 原入力信号入力線
- 7 入力結線切替スイッチブロック
- 7 s、7 s a、7 s b 切替スイッチ
- 8 入力結線切替情報メモリ
- 9 スイッチ切替信号線
- 9 a ラッチ信号線
- 9 b セレクタ信号線
- 1 0 メモリ切替回路
- 1 5 ラッチ回路
- 1 6 インバータ
- 1 7 セレクタ
- 2 1 論理回路テスト装置（テスト）
- 2 2 共用期待出力信号生成手段
- 2 3 出力結線切替手段

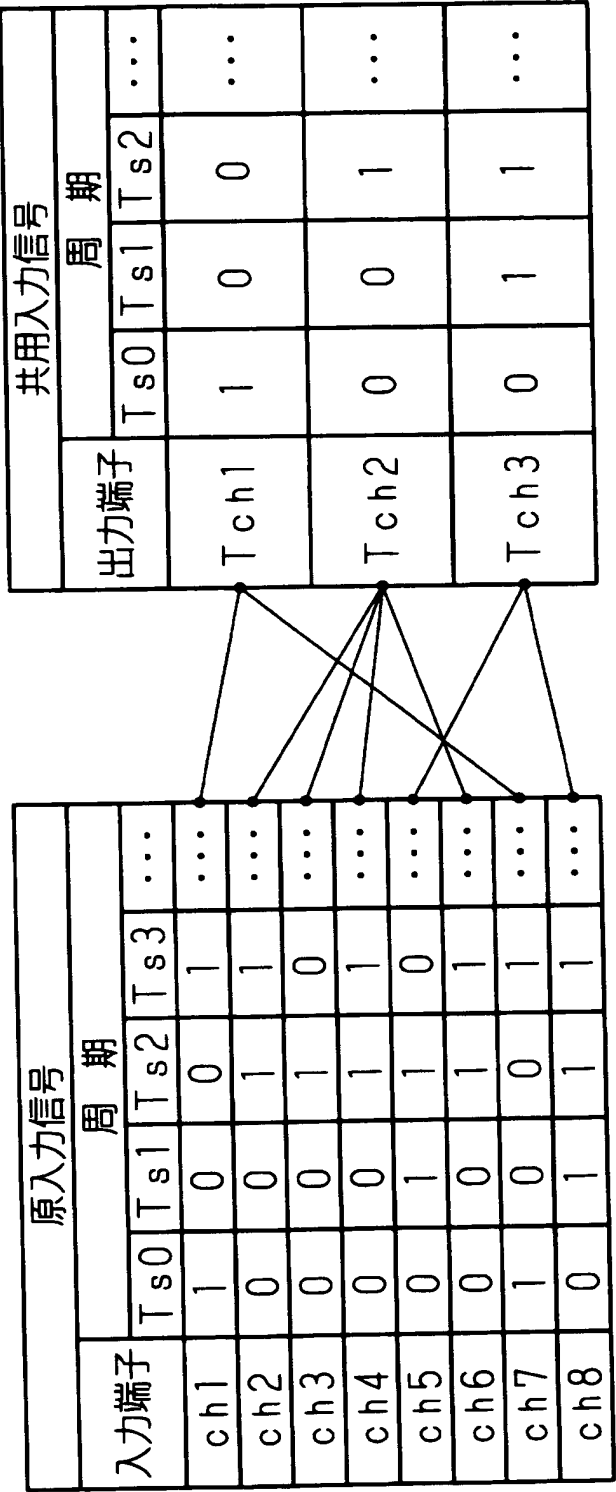
- 2 4 被テスト論理回路 (C U T)
- 2 5 共用期待出力信号出力線
- 2 6 出力信号出力線
- 2 7 比較手段
- 2 8 出力信号測定用信号線
- 2 9 出力結線切替スイッチブロック
- 2 9 s 切替スイッチ
- 3 0 出力結線切替情報メモリ
- 3 1 スイッチ切替信号線
- 3 2 メモリ切替回路
- 3 3 スイッチ回路部
- 3 4 ラッチ回路
- 3 5 A N D 回路
- 3 6 O R 回路
- 3 7、3 8 トランジスタ
- c h 1 ~ c h 8 入力端子
- c h 9 ~ c h 1 6 出力端子
- S c i 入力結線切替制御信号
- S c r 出力結線切替制御信号
- T c h 1 ~ T c h 3 出力端子
- T c h 4 ~ T c h 6 出力端子

【書類名】 図面

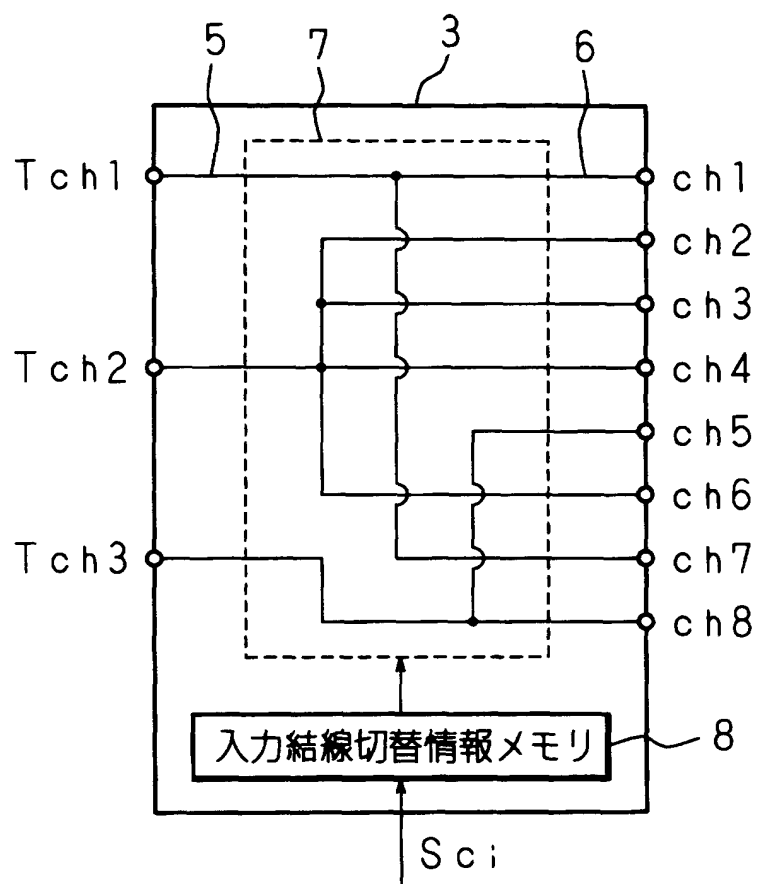
【図 1】



【図 2】



【図 3】



【図 4】

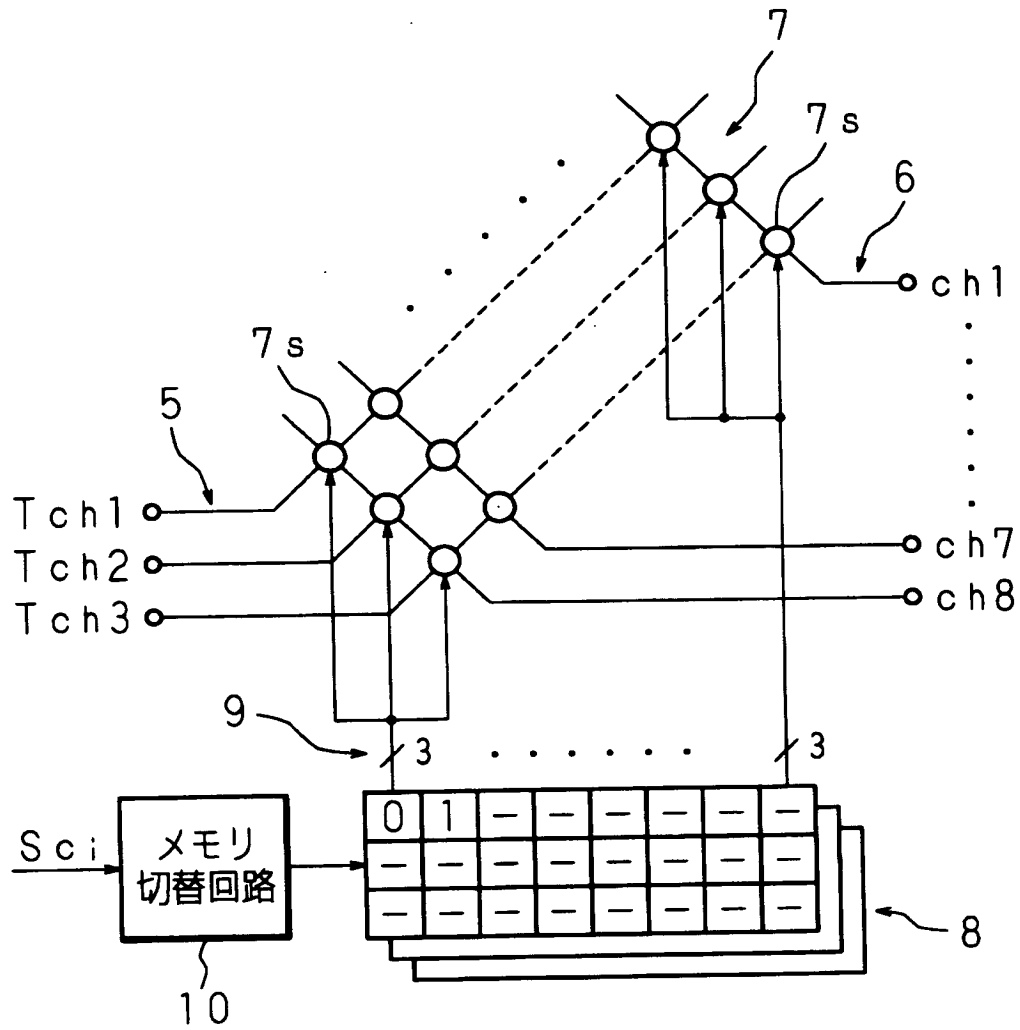
周期	グループ分け状況 (n : グループ数 , N : 共用目標端子数 = 3)					n
Ts0	Gr1		Gr0			2
	ch1,7		ch2,3,4,5,6,8			
Ts1	Gr10	Gr11	Gr00	Gr01		3
	ch1,7	φ	ch2,3,4,6	ch5,8		
Ts2	Gr100	Gr101	Gr001	Gr000	Gr011	Gr010
	ch1,7	φ	ch2,3,4,6	φ	ch5,8	φ
Ts3	Gr1001	Gr1000	Gr0010	Gr0011	Gr0110	Gr0111
	ch1,7	φ	ch3	ch2,4,6	ch5	ch8

φ : 空集合

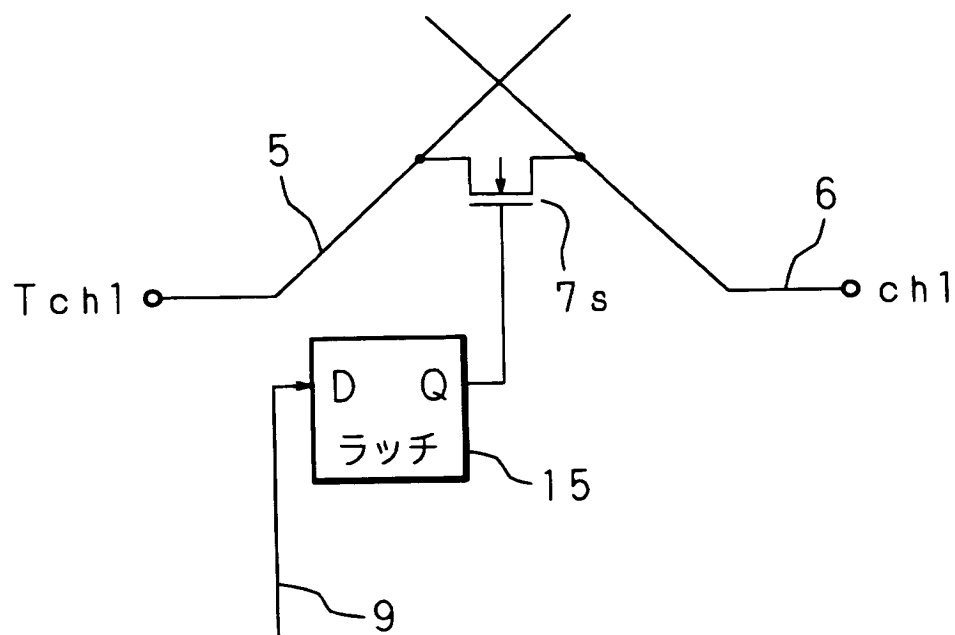
グループ数 n が共用目標端子数 N = 3 を越えた (n = 5) 際 (Ts3) の
直前 (Ts2) のグループ化情報

- ・ Gr100 (ch1,7) Tch1 に対応
- ・ Gr001 (ch2,3,4,6) Tch2 に対応
- ・ Gr011 (ch5,8) Tch3 に対応

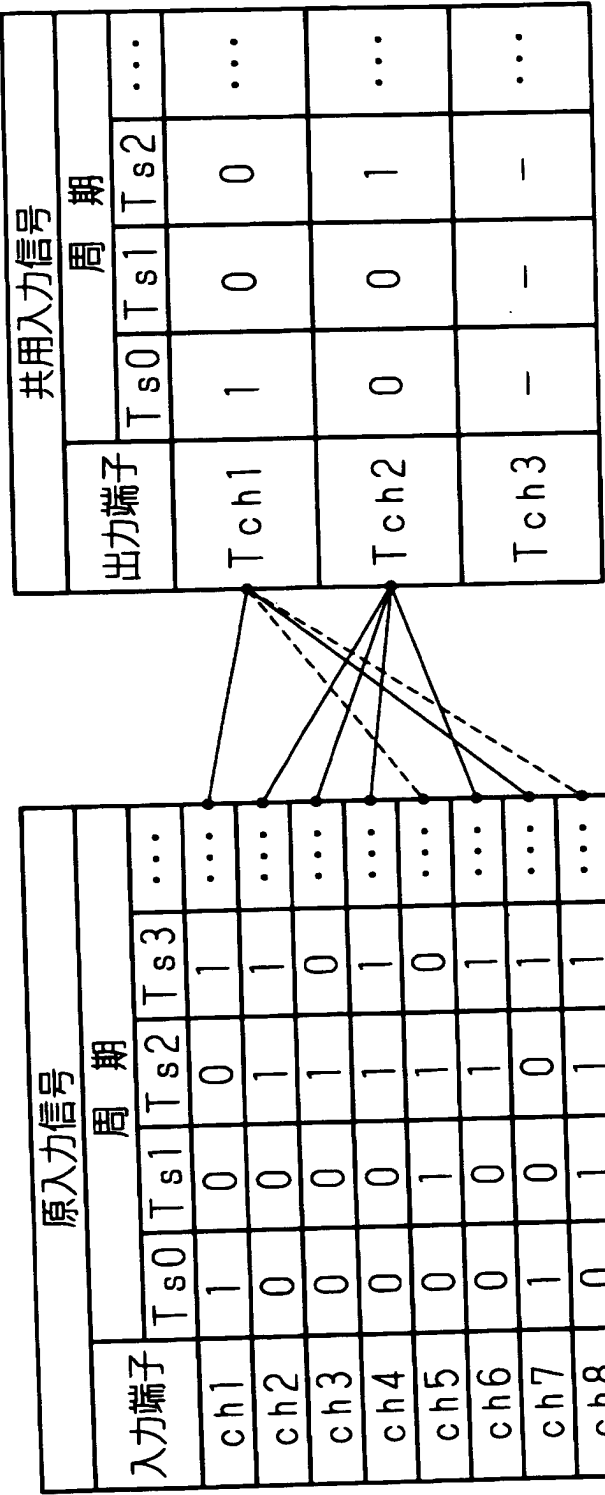
【図 5】



【図 6】



【図 7】



----- : 反転入力信号が対応

【図8】

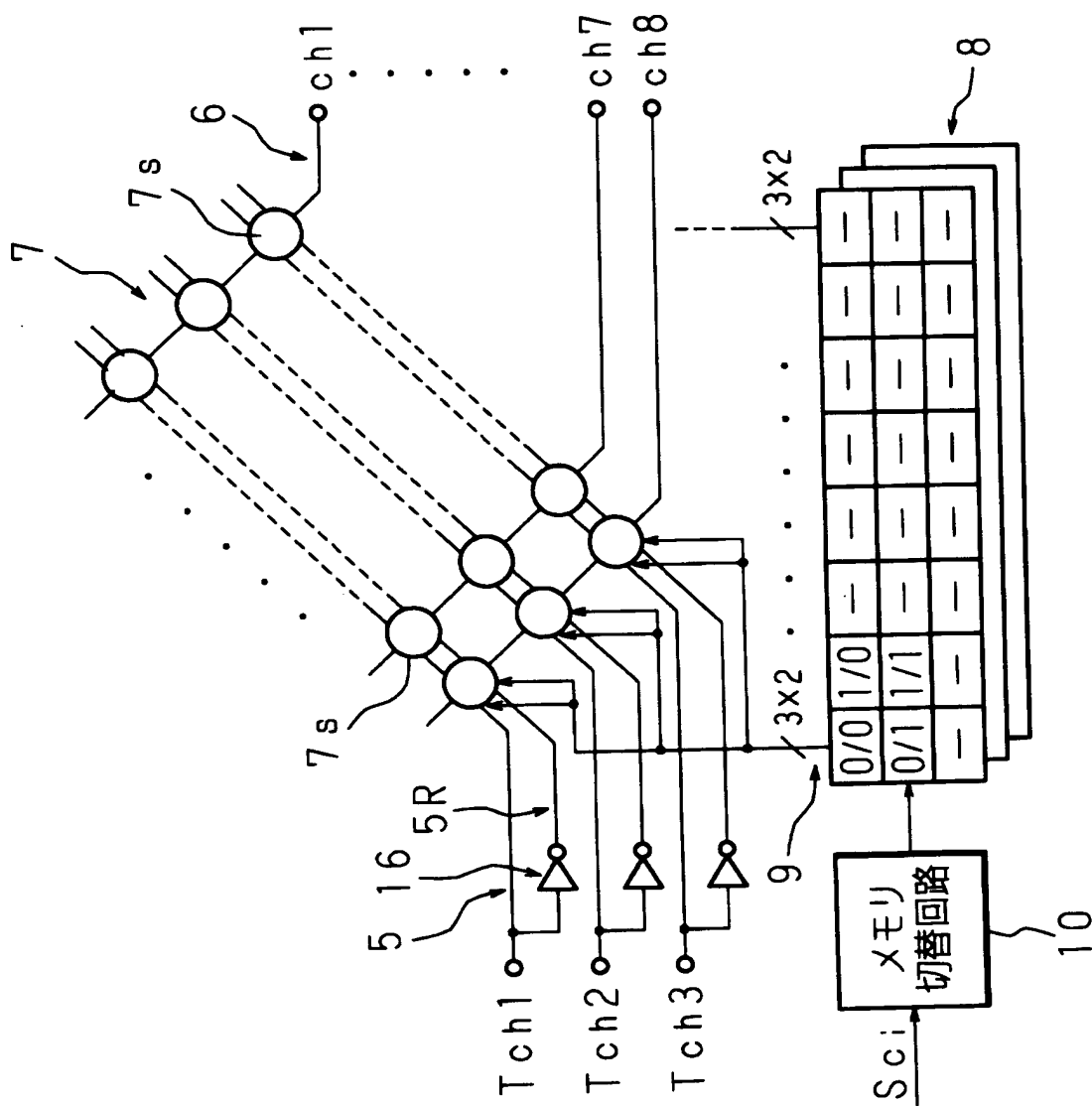
周期	グループ分け状況 (n : グループ数 , N : 共用目標端子数 = 6)						n	
Ts0	Gr1			Gr0			2	
	ch1,7, CH2,3,4,5,6,8			ch2,3,4,5,6,8, CH1,7				
Ts1	Gr10		Gr11	Gr00		Gr01	4	
	ch1,7, CH5,8		CH2,3,4,6	ch2,3,4,6		ch5,8, CH1,7		
Ts2	Gr100	Gr101	Gr111	Gr110	Gr001	Gr000	Gr011	Gr010
	ch1,7	φ	φ		ch2,3,4,6	φ	ch5,8	φ
	CH5,8		CH2,3,4,6			CH1,7		
Ts3	Gr1001	Gr1000	Gr1101	Gr1100	Gr0011	Gr0010	Gr0110	Gr0111
	ch1,7				ch2,4,6	ch3	ch5	ch8
	CH5	CH8	CH3	CH2,4,6			CH1,7	

φ:空集合

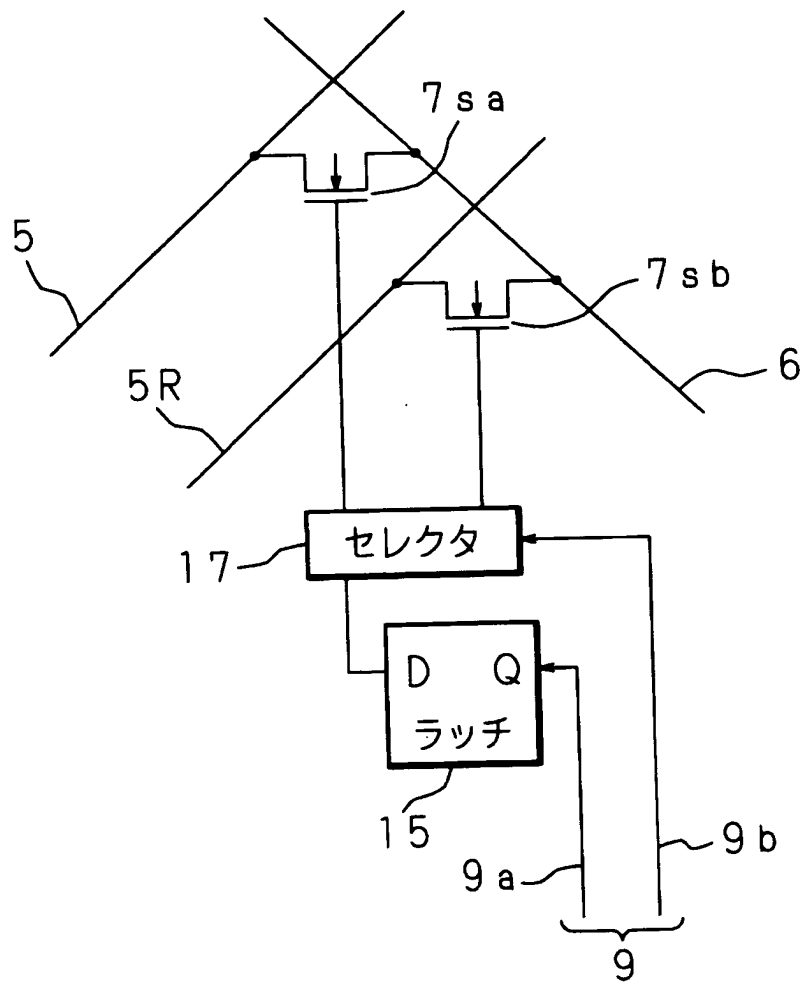
グループ数nが共用目標端子数N=6を越えた(n=8)際(Ts3)の直前(Ts2)のグループ化情報:

- ・Gr100(ch1,7,CH5,8)はGr011(ch5,8,CH1,7)と等価・・・Tch1に対応
- ・Gr110(CH2,3,4,6)はGr001(ch2,3,4,6)と等価・・・Tch2に対応

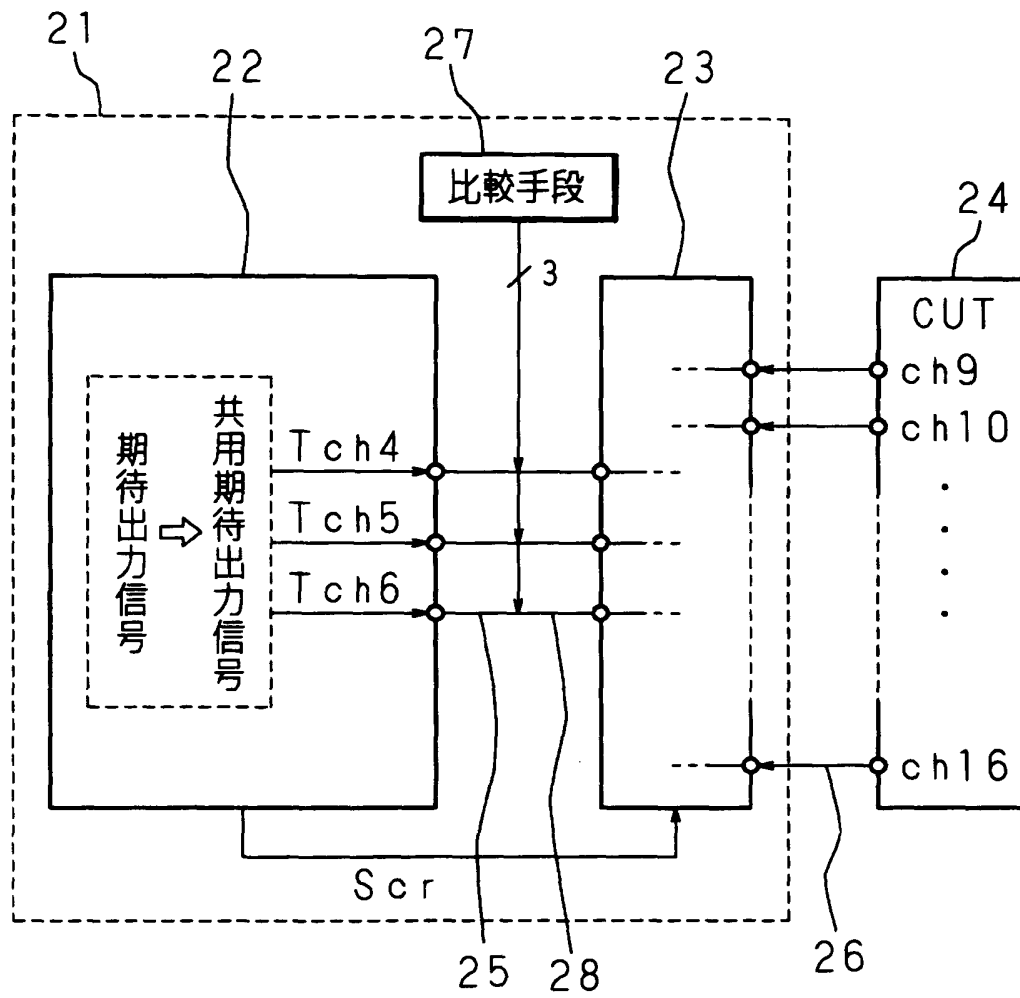
【図 9】



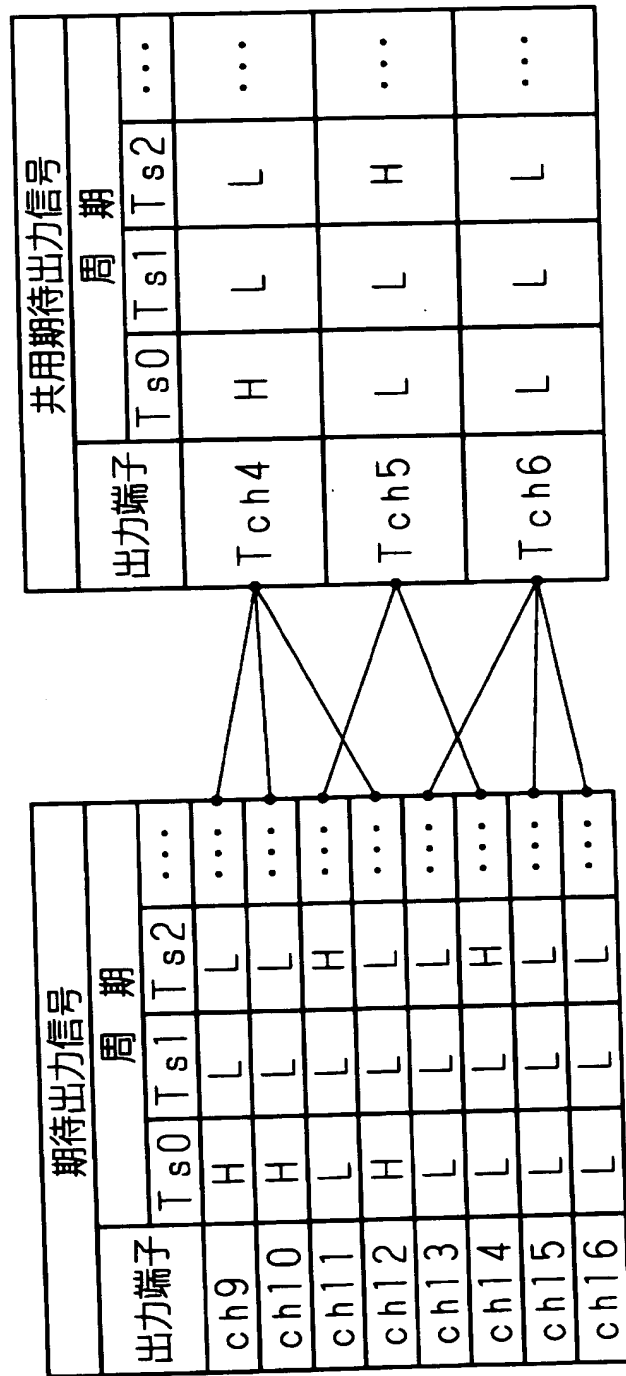
【図 10】



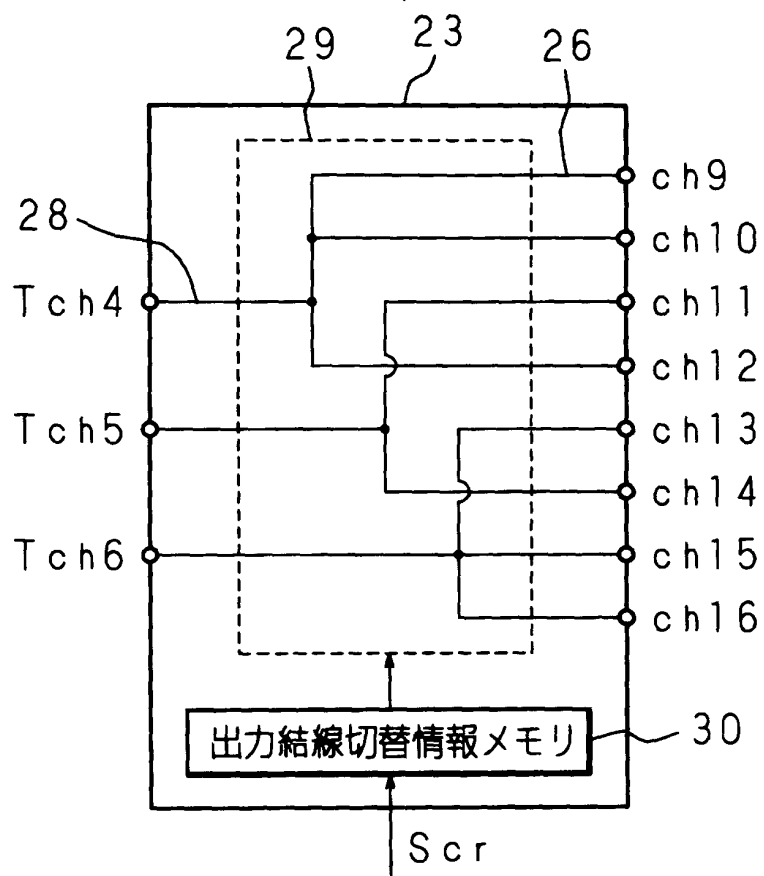
【図11】



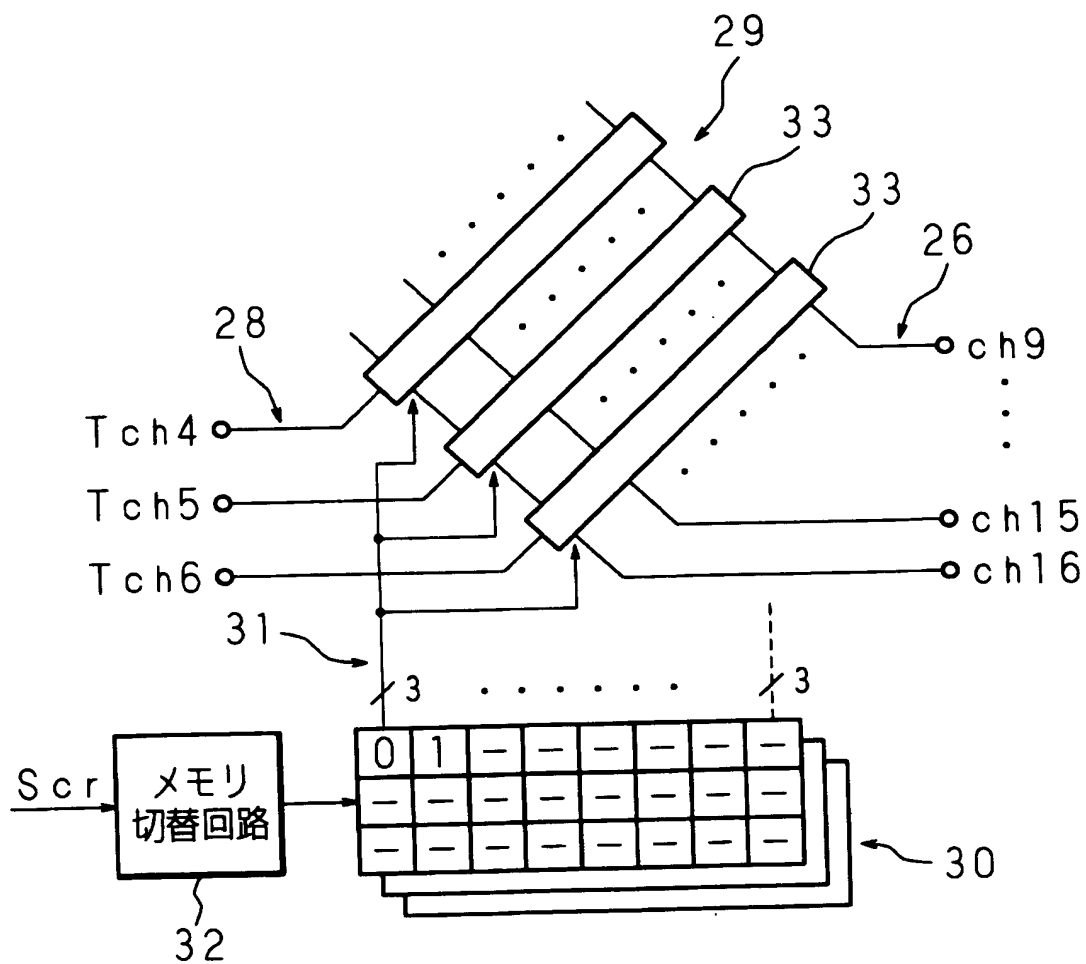
【図 12】



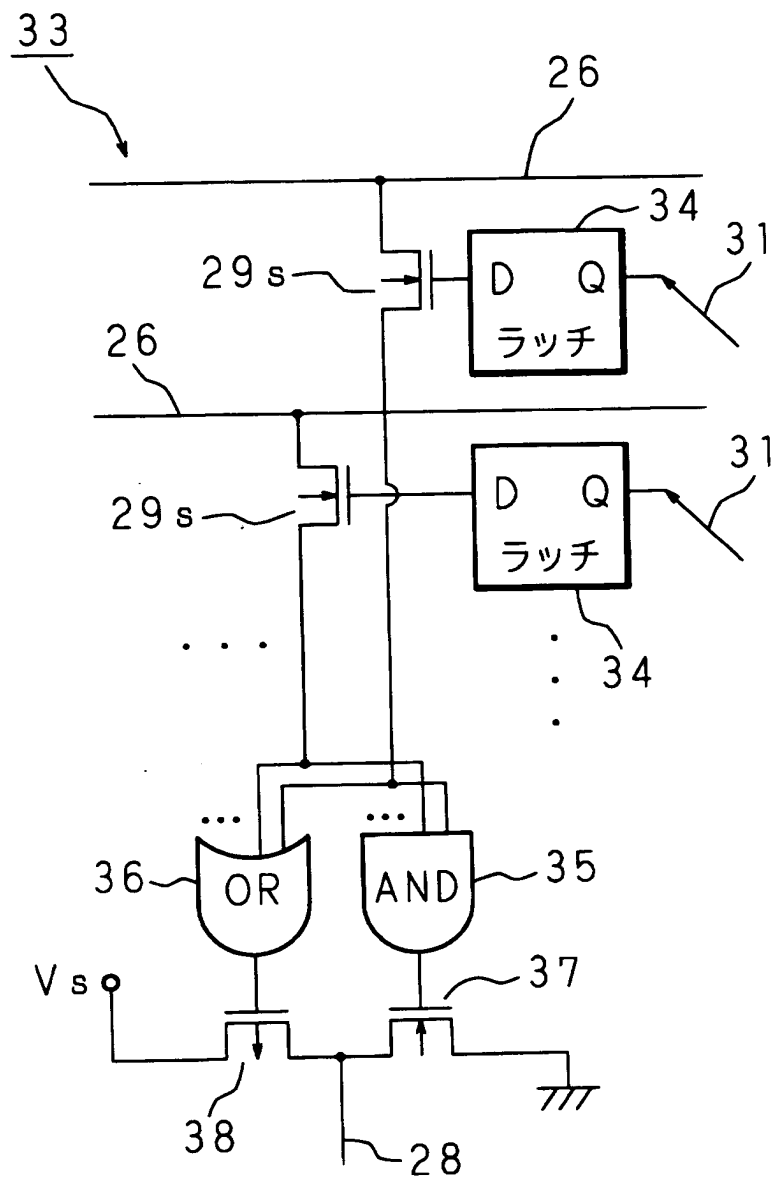
【図 13】



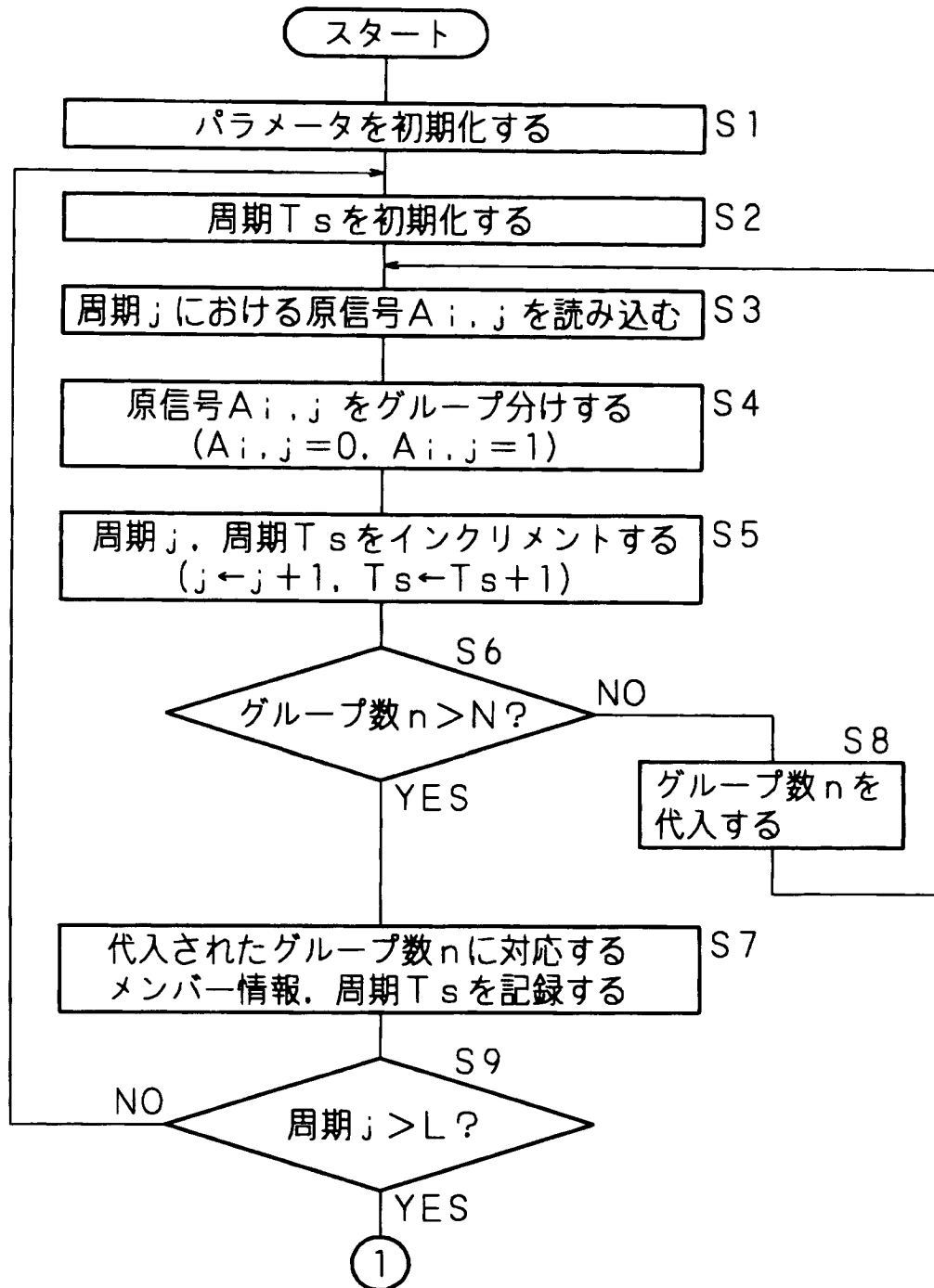
【図 14】



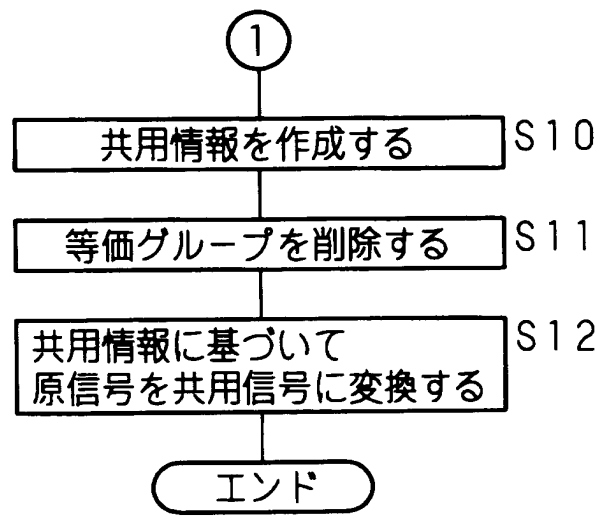
【図 15】



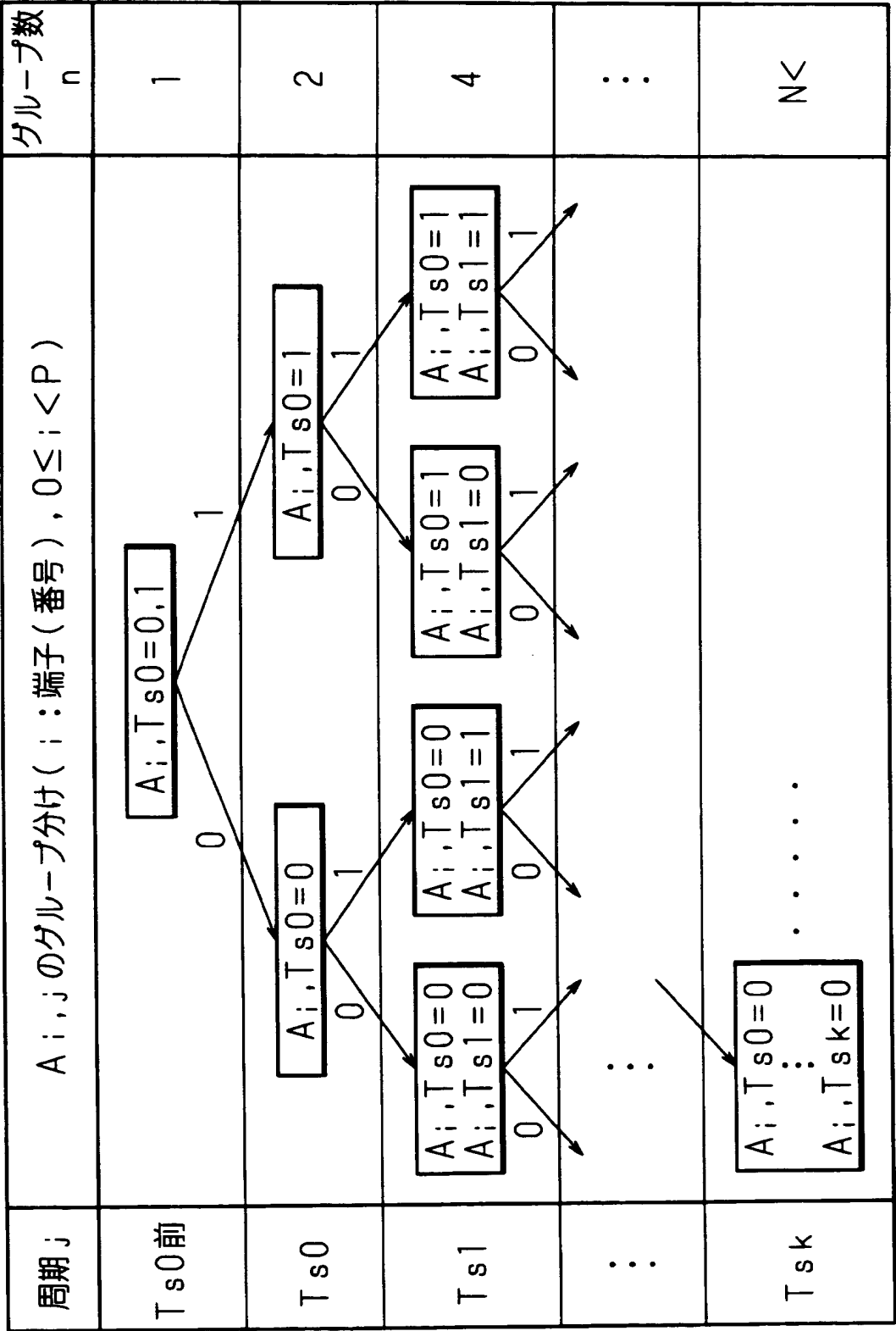
【図 16】



【図 17】

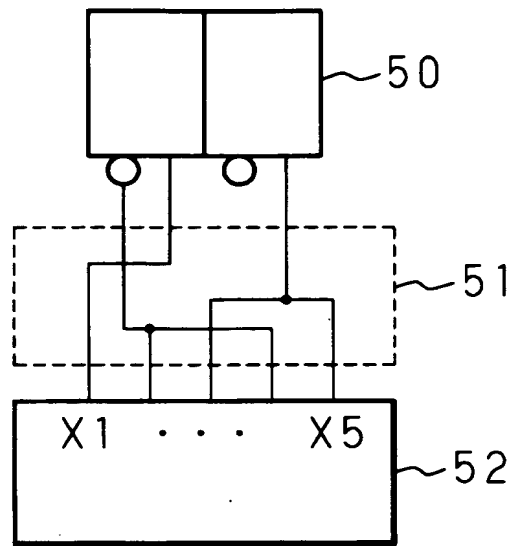


【図 18】

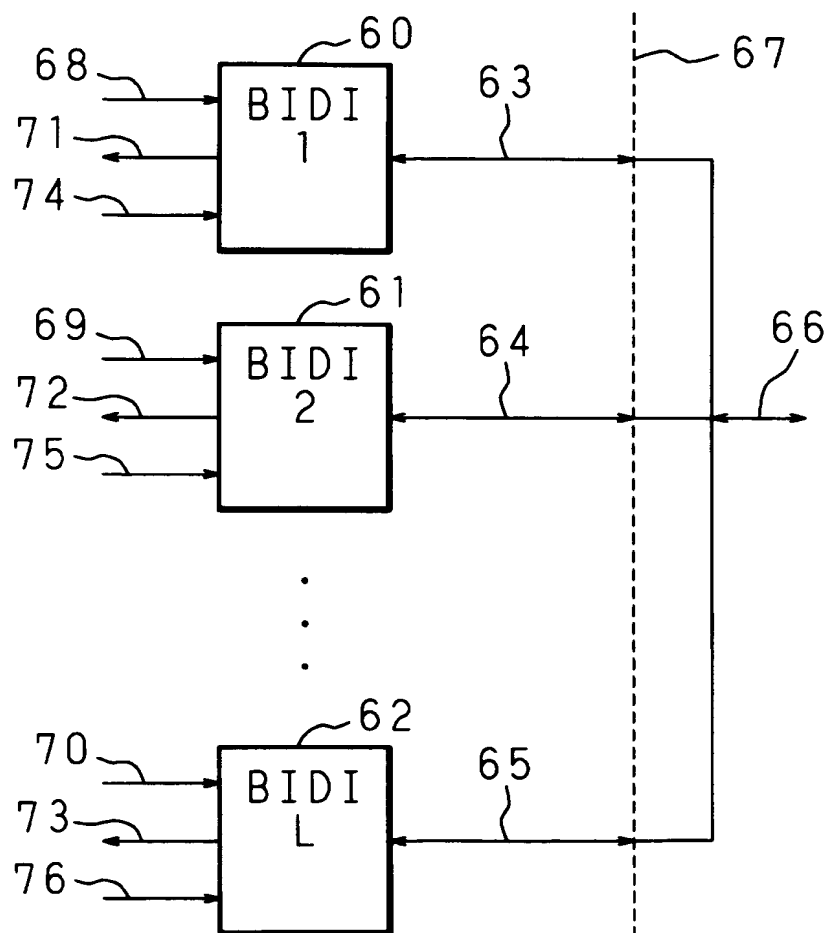


P : 原端子数 N : 共用目標端子数

【図 19】



【図 20】



【書類名】 要約書

【要約】

【課題】 被テスト論理回路の入力端子数より少ない出力端子から入力テストパターンと等価な共用入力信号を出力し、また被テスト論理回路の出力端子数より少ない出力端子から出力テストパターンと等価な共用期待出力信号を出力する論理回路テスト装置及び論理回路テスト方法を提供する。

【解決手段】 論理回路テスト装置 1 は共用入力信号生成手段 2 と入力結線切替手段 3 とを含み、共用入力信号生成手段 2 は被テスト論理回路 4 の入力端子 c h 1 ～ c h 8 のそれぞれに印加すべき原入力信号に基づいて入力端子 c h 1 ～ c h 8 をグループ分けして出力端子 T c h 1 ～ T c h 3 を共用することにより入力端子より少ない出力端子に対応させた共用入力信号を生成し、出力端子から共用入力信号を出力する。共用入力信号は共用入力信号出力線 5 を介して共用入力信号生成手段 2 から入力結線切替手段 3 へ出力されるものとする。

【選択図】 図 1

特願 2002-284340

出 願 人 履 歴 情 報

識別番号

[000005049]

1. 変更年月日

[変更理由]

住 所

氏 名

1990年 8月29日

新規登録

大阪府大阪市阿倍野区長池町22番22号
シャープ株式会社